



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 100 01 862 A 1

51 Int. Cl. 7:
H 03 H 21/00
H 03 H 17/06
H 04 N 7/64
H 04 B 1/62
H 04 B 7/005

21 Aktenzeichen: 100 01 862.9
22 Anmeldetag: 18. 1. 2000
43 Offenlegungstag: 30. 11. 2000

DE 100 01 862 A 1

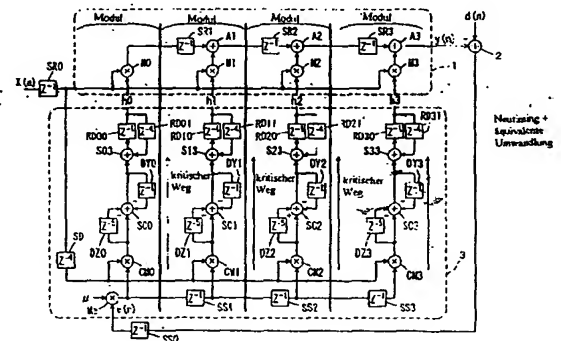
30 Unionspriorität:
11-128597 10. 05. 1999 JP
71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
74 Vertreter:
Prüfer und Kollegen, 81545 München

12 Erfinder:
Murakami, Shuji, Tokio/Tokyo, JP; Machida,
Hirohisa, Tokio/Tokyo, JP; Mizutani, Hiroyuki, Itami,
JP; Ochi, Hiroshi, Ginowan, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- 54 Adaptiver Entzerrer und Entwurfsverfahren davon.
57 Folgend auf eine Anordnung eines adaptiven Entzerrers mit einem direkten Filteraufbau entsprechend einer Architektur der Minimierung des mittleren quadratischen Fehlers wird eine Vorgriffsumwandlung des Modifizierens eines Abzweigungskoeffizientens ($h(n-l)$) des nächsten Zyklus, die den Abzweigungskoeffizienten ($h(n-L)$) eines vorbestimmten vorhergehenden Zyklus verwendet, durchgeführt und wird dann ein Neutimingvorgang des Einstellens des Timings der Abzweigungskoeffizienten ($h(0-h3)$) und der Signale derart ausgeführt, daß Verzögerungselemente (z) angeordnet werden, wodurch ein Transponierungsfiler realisiert wird. Ein adaptiver Hochgeschwindigkeitsentzerrer wird vorgesehen, der einen verringerten kritischen Pfad aufweisen kann, ohne den Hardwarebedarf zu erhöhen und der sehr gut bei Erweiterungen ist.



DE 100 01 862 A 1

Die vorliegende Erfindung bezieht sich auf einen adaptiven Entzerrer, der einen Filterkoeffizienten (Abzweigungskoeffizienten) für ein Eingangssignal derart korrigiert, daß der Fehler zwischen einem Ausgangssignal und einem Referenzsignal minimiert wird. Speziell bezieht sich die vorliegende Erfindung auf einen adaptiven Entzerrer, der die Verzögerungszeit eines kritischen Pfades verringern kann, und auf ein Entwurfsverfahren dieses adaptiven Entzerrers.

Im Bereich des Kabelfernsehservices (CATV) und ähnlichem ist die Verwendung einer digitalen Kommunikation, die anstatt von analogen Signalen digitale Signale, die undurchlässig für Rauschen sind, einsetzt, nun praktisch beim Vordringen als Hochgeschwindigkeitsdatenkommunikationssystem, das die herkömmliche analoge Kommunikation ersetzt. Das Vorhandensein von mehreren Verzögerungswellen, die sich von einer Mehrwegausbreitung ergeben, die durch eine Wellenreflektion an dem Ende eines nicht abgeschlossenen bzw. nicht angepaßten Kabels verursacht ist, wurde in dem digitalen Kabelfernsehservice ermittelt. Das Vorhandensein von solchen mehreren Verzögerungswellen verursacht einen mehrfachen Wellenschwund aufgrund der Interferenz zwischen der Hauptwelle und den Verzögerungswellen. Wenn die Amplitude einer Verzögerungswelle sich der der Hauptwelle annähert, tritt ein frequenzselektiver Schwund auf, bei dem eine spezielle Frequenzkomponente deutlich derart abgeschwächt wird, daß die Erzeugung einer Wellenformverzerrung resultiert. Diese Wellenformverzerrung kann einen Codefehler durch Zwischensymbolinterferenz verursachen. Es ist notwendig die Erzeugung von frequenzselektiven Schwund, der durch solche mehreren Verzögerungswellen verursacht ist, bei einer digitalen Hochgeschwindigkeitsübertragung zu verhindern.

Ein adaptiver Entzerrer, der adaptiv eine Zwischensymbolinterferenz entfernt, die sich von der Mehrwegausbreitung ergibt, wurde als eine Technik untersucht, um diesen frequenzselektiven Schwund zu lösen. Bei der digitalen Kommunikation wird ein als "Symbol" bezeichneter Datenwert in jeweils einer als "Symbolzyklus" bezeichneten vorbestimmten Periode übertragen. In einem idealen Übertragungspfad bzw. -weg, der frei ist von einer Mehrwegausbreitung, wird ein Symbol ein anderes Symbol, das in einem anderen Symbolzyklus übertragen ist, nicht beeinflussen. Wenn jedoch mehrere Verzögerungswellen erzeugt sind durch die Mehrwegausbreitung, wird eine Mehrzahl von Symbolen an der Empfangsseite in dem gleichen Symbolzyklus durch die Verzögerungswellen ankommen. Genauer, tritt eine Zwischensymbolinterferenz derart auf, daß ein guter Empfang und Wiedergabe der übertragenen Signale verhindert wird.

Die oben beschriebene Schwierigkeit des frequenzselektiven Schwunds tritt nicht nur bei der Drahtkommunikation, die ein Kabel verwendet, auf, sondern auch bei drahtlosen Übertragungswegen, die Mikrowellen verwenden.

Die LMS-Architektur (Fehlerralgorithmus der kleinsten mittleren Quadrate bzw. der Minimierung des mittleren quadratischen Fehlers) wird oft verwendet für adaptive Entzerrer, die bei der digitalen Kommunikation verwendet werden. Der Grundaufbau dieser LMS-Architektur enthält einen FIR-Filter (Filter endlicher Impulsantwort).

Fig. 11 zeigt den Grundaufbau eines herkömmlichen adaptiven Entzerrers. Der adaptive Entzerrer enthält eine Filterverarbeitungseinheit 1, die einen Filtervorgang auf ein Eingangssignal $x(n)$ anwendet, eine Fehlererfassungsschaltung 2, die einen Fehler zwischen einem Ausgangssignal $y(n)$ der Filterverarbeitungseinheit 1 und einem Referenzsignal $d(n)$ erhält, und eine Koeffizientenaktualisierungsschaltung

3, die Abzweigungskoeffizienten (Filterkoeffizienten) $h_0 \sim h_{N-1}$ der Filterverarbeitungseinheit 1 gemäß einem Ausgangssignal $e(n)$ der Fehlererfassungsschaltung 2 korrigiert.

Die Filterverarbeitungseinheit 1 ist aus einem diskreten Filter des direkten Types gebildet. Ein diskretes Eingangssignal $x(n)$, das von den Antworteigenschaften des Zeitbereiches extrahiert ist, wird gemäß den Abzweigungskoeffizienten $h_0 \sim h_{N-1}$ derart gefiltert, daß ein diskretes Ausgangssignal $y(n)$ erzeugt wird. Das Referenzsignal $d(n)$ wird von einer Identifizierungsschaltung (oder Bestimmungsschaltung) ausgegeben, die ein Endausgangssignal (Code) von dem Ausgangssignal $y(n)$ der Filterverarbeitungseinheit 1 abschätzt.

Der diskrete Filter 1 enthält Verzögerungselemente $SR_0 \sim SR_{N-1}$, die hintereinandergeschaltet sind und jeweils aus einem Schieberegister gebildet sind, das das Eingangssignal $x(n)$ um eine Taktzyklusperiode verzögert, Multiplizierer $M_0 \sim M_{N-1}$, die die Ausgangssignale der Verzögerungselemente $SR_0 \sim SR_{N-1}$ mit entsprechenden Abzweigungskoeffizienten $h_0 \sim h_{N-1}$ multiplizieren, und Addierer $A_1 \sim A_{N-1}$, die entsprechend zu den entsprechenden Multiplizierern $M_1 \sim M_{N-1}$ vorgesehen sind, zum Addieren der Ausgangssignale des vorhergehenden Addierers mit den Ausgangssignalen des entsprechenden Multiplizierers derart, daß das Additionsergebnis zu dem folgenden Addierer übertragen wird. Das Ausgangssignal $y(n)$ wird von dem Addierer A_{N-1} der letzten Stufe erzeugt. Hier werden die Ausgabeknoten der Verzögerungselemente $SR_0 \sim SR_{N-1}$ im allgemeinen als "Abzweigungen" bezeichnet. Daher ist der direkte Filter 1 ein N-Abzweigungsfilter bzw. N-Stufenfilter. Bezüglich dem " Z^{-1} " der Verzögerungselemente $SR_0 \sim SR_{N-1}$ zeigt der Exponent die Größe der Verzögerung an.

Die Fehlererfassungsschaltung 2 ist im allgemeinen durch einen Addierer gebildet. Das Ausgangssignal $y(n)$ wird von dem Referenzsignal $d(n)$ subtrahiert. Dieser Differenzwert wird als der Fehler ausgegeben, der durch den frequenzselektiven Schwund bedingt ist.

Die Koeffizientenaktualisierungsschaltung 3 enthält einen Multiplizierer Mc , der das Fehlersignal $e(n)$ mit der Schrittgröße μ multipliziert, und Abzweigungskoeffizientenaktualisierungsstufen, die entsprechend den Abzweigungskoeffizienten $h_0 \sim h_{N-1}$ vorgesehen sind. Die Abzweigungskoeffizientenaktualisierungsstufen weisen den gleichen Aufbau auf und jede enthält ein Verzögerungselement CSR ($CSR_0 \sim CSR_{N-1}$), das aus einem Schieberegister, das das Signal von der vorhergehenden Stufe um einen Taktzyklus verzögert, einem Multiplizierer CM ($CM_0 \sim CM_{N-1}$), der ein Ausgangssignal $\mu \cdot e(n)$ des Multiplizierers Mc mit dem Ausgangssignal eines entsprechenden Verzögerungselementes multipliziert, einen Addierer CA ($CA_0 \sim CA_{N-1}$), der das Ausgangssignal des Multiplizierers CM empfängt, und ein Verzögerungselement CSF ($CSF_0 \sim CSF_{N-1}$), das aus einem Schieberegister gebildet ist, das das Ausgangssignal eines Addierers CA um einen Taktzyklus verzögert. Das Ausgangssignal des Verzögerungselementes CSF wird an den Addierer CA angelegt. Der Addierer CA addiert das Ausgangssignal eines entsprechenden Multiplizierers CM mit dem Ausgangssignal eines entsprechenden Verzögerungselementes CSF derart, daß das Additionsergebnis dem Verzögerungselement (CSF) wieder zur Verfügung gestellt wird.

Die Schrittgröße μ zeigt die Schrittgröße eines diskreten Wertes des diskreten Eingangssignals $x(n)$ an, um das Fehlersignal durch den Multiplizierer Mc zu normieren. Diese Schrittgröße ist im allgemeinen ein mehrfaches von zwei. Der Multiplizierer Mc ist aus einer Bitverschiebeschaltung gebildet, die das Fehlersignal $e(n)$ zu dem höheren Bit verschiebt, um das Fehlersignal $e(n)$ mit der Schrittgröße μ , die

durch die potenzierte 2 dargestellt ist, zu multiplizieren. Der Betrieb des in Fig. 11 gezeigten adaptiven Entzerrers wird nun beschrieben.

Jedes der Verzögerungselemente $SR0 \sim SRN - 1$, $CSF0 \sim CSFN - 1$ und $CSR0 \sim CSRN - 1$ führt einen Schiebetrieb gemäß einem nichtgezeigten Taktsignal derart durch, daß die Verzögerung von einem Taktzyklus verwirklicht wird. Das Ausgangssignal $y(n)$ der Filterverarbeitungseinheit 1 ist mit dem Eingangssignal $x(n)$ durch die folgende Gleichung verbunden.

$$y(n) = \sum_{k=0}^{N-1} h_k \cdot x(n-k).$$

Die Summe wird von 0 bis $N - 1$ für k durchgeführt. Das Fehlersignal $e(n)$ wird durch die Differenz zwischen dem Referenzsignal $d(n)$ und dem Ausgangssignal $y(n)$ dargestellt. Daher wird die folgende Gleichung erhalten.

$$e(n) = d(n) - y(n) = d(n) - \sum_{k=0}^{N-1} h_k \cdot x(n-k) = d(n) - h^T(n) \cdot X(n)$$

wobei $h^T(n) = [h_0(n), h_1(n), \dots, h_{N-1}(n)]$

$X^T = [x(n), x(n-1), \dots, x(n-N+1)]$, und

T ein Transponieren darstellt.

Der Abzweigungskoeffizient des nächsten Zyklus ist mit dem Abzweigungskoeffizienten des aktuellen Zyklus durch die folgende Gleichung verbunden.

$$h(n+1) = h(n) + \mu \cdot e(n) \cdot X(n)$$

Ein Abzweigungskoeffizient h_k wird entsprechend der folgenden Gleichung korrigiert.

$$h_k(n+1) = h_k(n) + \mu \cdot e(n) \cdot x(n-k)$$

Bei der obigen Gleichung werden die Ausgangssignale der Schieberegister (Verzögerungselemente) $SR0$ und $CSR0$ der ersten Eingabestufe, die in Fig. 11 gezeigt ist, als $x(n)$ gesetzt.

Durch Korrigieren der Filterkoeffizienten $h_0 \sim h_{N-1}$ gemäß dem Fehlersignal $e(n)$ kann die Fehlerkomponente, die in dem Ausgangssignal $y(n)$ enthalten ist, derart entfernt werden, daß ein idealeres Ausgangssignal $y(n)$ bereitgestellt wird.

Bei dem in Fig. 11 gezeigten adaptiven Entzerrer ist der direkte Filter der Filterverarbeitungseinheit 1 aus einem FIR-Filter (nicht-rekursives Filter) gebildet. Die Verzögerungselemente $SR0 \sim SRN - 1$ sind jeweils ein Schieberegister, das ein Signal gemäß einem Taktsignal, das nicht gezeigt ist, überträgt. Es ist notwendig, ein Ausgangssignal $y(n)$ und auch einen Abzweigungskoeffizienten für den nächsten Zyklus innerhalb einer Zyklusperiode dieses Taktsignales zu erzeugen. Wenn die Abzweigungs- bzw. Stufenlänge der Filterverarbeitungseinheit 1 N beträgt, enthält der kritische Weg zwei Multiplizierer $M0$ und $CM0$, N Addierer $A1 \sim AN - 1$, eine Fehlererfassungsschaltung 2 und einen Addierer $CA0$, wie durch die durchgezogene Linie in Fig. 11 gezeigt ist. Hier führt der Multiplizierer Me den Betrieb $\mu \cdot e(n)$ durch den Bitschiebebetrieb durch und ignoriert die Verzögerung. Daher enthält die Verzögerung in diesem kritischen Weg die Verzögerung von zwei Multiplikationen + $(N + 2)$ Additionen.

Daher hängt der kritische Weg des adaptiven Entzerrers gemäß der LMS-Architektur von der Stufenlänge N der Filterverarbeitungseinheit 1 ab und wird länger für die LMS-Architektur einer höheren Ordnung. Es ist daher schwierig,

den Durchsatz zu verbessern, und es gibt eine Schwierigkeit, daß es schwierig ist, eine Hochgeschwindigkeitsverarbeitung, wie z. B. eine Bilddatenübertragung, durchzuführen.

Es ist Aufgabe der vorliegenden Erfindung, einen adaptiven Entzerrer vorzusehen, der einen verkürzten kritischen Weg aufweisen kann, ohne den Hardwarebedarf zu erhöhen.

Weiterhin soll ein adaptiver Entzerrer bereitgestellt werden, der einen kritischen Weg unabhängig von der Abzweigungslänge aufweist.

Die Aufgabe wird gelöst durch den adaptiven Entzerrer des Anspruches 1 oder 6 oder durch das Entwurfsverfahren eines adaptiven Entzerrers des Anspruches 10.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Bei dem adaptiven Entzerrer der vorliegenden Erfindung wird die LMS-Architektur, die aus einem direktem FIR-Filter gebildet ist, in eine LMS-Architektur, die aus einem Transponierungs-FIR-Filter gebildet ist, unter Verwendung der Vorgriffsumwandlung, die das Eingangssignal des um L vorlaufenden Zyklus verwendet, und des Neutimingsvorganges der äquivalenten Ersetzung der Signalverzögerung umgewandelt.

Entsprechend einem ersten Aspekt der vorliegenden Erfindung enthält ein adaptiver Entzerrer eine Filterverarbeitungseinheit mit einer Mehrzahl von hintereinandergeschalteten Verarbeitungsstufen, die entsprechend zu Abzweigungen vorgesehen sind. Jede Verarbeitungsstufe enthält einen Multiplizierer, um ein Eingangssignal mit einem entsprechenden Abzweigungskoeffizienten zu Multiplizieren, eine Verzögerungsstufe, die das Ausgangssignal einer vorhergehenden Verarbeitungsstufe verzögert, und einen Addierer, der das Ausgangssignal der Verzögerungsstufe derart mit dem Ausgangssignal des Multiplizierers addiert, daß das Additionsergebnis der nächsten Stufe bereitgestellt wird. Die erste Verarbeitungsstufe enthält einen Multiplizierer, der das Eingangssignal mit einem entsprechenden Abzweigungskoeffizienten multipliziert zum Anlegen an die nächste Verarbeitungsstufe.

Der adaptive Entzerrer des ersten Aspektes enthält eine Abzweigungskoeffizientensetzschaltung zum Setzen eines Abzweigungskoeffizientens entsprechend einem Fehler zwischen einem Ausgangssignal der Filterverarbeitungsstufe und einem Referenzsignal. Die Abzweigungskoeffizientensetzschaltung enthält eine Koeffizientenkorrekturstufe, die entsprechend für jeden Abzweigungskoeffizienten vorgesehen ist. Jede Koeffizientenkorrektur weist den gleichen Aufbau auf und weist die Übertragungsfunktion auf, die durch das Produkt der Übertragungsfunktion des Filters aller Nullstellen und Übertragungsfunktion des Filters aller Pole dargestellt ist.

Entsprechend einem zweiten Aspekt der vorliegenden Erfindung enthält ein adaptiver Entzerrer eine Filterverarbeitungseinheit mit einer Mehrzahl von Verarbeitungsstufen, die in Reihe geschaltet sind in dem Vorwärts- und dem Rückwärtspfad. Jede der Verarbeitungsstufen enthält einen Multiplizierer, der ein angelegtes Signal mit einem entsprechenden Abzweigungskoeffizienten multipliziert, und einen Addierer, der das Ausgangssignal des Multiplizierers mit dem von der nachfolgenden Verarbeitungsstufe angelegten Signal derart addiert, daß das Additionsergebnis der vorhergehenden Stufe bereitgestellt wird. In dem Vorwärts- und Rückwärtspfad der Verarbeitungsstufen ist eine Verzögerungsstufe, die ein angelegtes Signal um einen Zyklus verzögert, abwechselnd eingefügt.

Der adaptive Entzerrer des zweiten Aspektes enthält weiterhin eine Abzweigungskoeffizientensetzschaltung zum Setzen eines Abzweigungskoeffizientens entsprechen dem

Fehler zwischen dem Ausgabesignal der Filterverarbeitungsstufe und einem Referenzsignal. Die Abzweigungskoeffizientensetzschaltung enthält Koeffizientenkorrekturstufen des gleichen Aufbaues, die entsprechend zu entsprechenden Abzweigungskoeffizienten vorgesehen sind. Jede Koeffizientenkorrektur weist die Übertragungsfunktion auf, die durch das Produkt der Übertragungsfunktion des Filters aller Nullstellen und der Übertragungsfunktion des Filters gegeben ist.

Entsprechend einem dritten Aspekt der vorliegenden Erfindung enthält ein Verfahren des Entwerfens eines adaptiven Entzerrers die Schritte des Anordnens einer Filterverarbeitungsstufe und einer Abzweigungskoeffizientensetzschaltung gemäß der LMS-Architektur, die eine direkte Filterstruktur verwendet, des Ausführens einer Vorgriffsumwandlung zum Verbinden eines Abzweigungskoeffizienten eines um L vorhergehenden Zyklus mit dem Abzweigungskoeffizienten des nächsten Zyklus derart, daß die Filterverarbeitungsstufe und die Abzweigungskoeffizientensetzschaltung neu angeordnet werden, des Durchführens eines Neutimingvorganges zum Reorganisieren des Timings, während die Zeitbeziehung der Signale erhalten wird, derart, daß die Anordnung der Verzögerungselemente reorganisiert wird zum Realisieren eines Transponierungsfilters, und des Modifizierens der Filterkoeffizientensetzstufe in eine Filterstufe mit der Übertragungsfunktion von $(1 - Z^{-L})/(1 - Z^{-1})$ durch eine äquivalente Umwandlung.

Durch Durchführen der äquivalenten Umwandlung unter Verwendung der Vorgriffsumwandlung und des Neutimings, um den direkten FIR-Filter gemäß der LMS-Architektur in einen Transponierungsfir-Filter zu modifizieren, kann ein Verzögerungselement, das als Reaktion auf ein Taktsignal arbeitet, in den kritischen Weg eingefügt werden. Der kritische Weg kann verkürzt werden, ohne die Anzahl der Funktionseinheiten zu erhöhen. Ein adaptiver Entzerrer, der mit hoher Geschwindigkeit arbeitet, kann realisiert werden.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der folgenden Beschreibung von Ausführungsformen der Erfindung anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine Anordnung eines adaptiven Entzerrers des ersten Schrittes gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

Fig. 2 eine Anordnung des adaptiven Entzerrers des zweiten Schrittes gemäß der ersten Ausführungsform der vorliegenden Erfindung;

Fig. 3 ein Aufbau eines adaptiven Entzerrers gemäß der ersten Ausführungsform der vorliegenden Erfindung;

Fig. 4 ein Aufbau eines adaptiven Entzerrers des ersten Anordnungsschrittes gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

Fig. 5 ein Ausgabesignal einer in Fig. 4 gezeigten Koeffizientenaktualisierungsschaltung;

Fig. 6 ein Aufbau eines adaptiven Entzerrers des zweiten Anordnungsschrittes gemäß der zweiten Ausführungsform der vorliegenden Erfindung;

Fig. 7 ein Aufbau eines adaptiven Entzerrers gemäß der zweiten Ausführungsform der vorliegenden Erfindung;

Fig. 8 schematisch ein Aufbau einer Filterverarbeitungseinheit eines adaptiven Entzerrers gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

Fig. 9 ein Aufbau einer Stufe einer Koeffizientenaktualisierungsschaltung des adaptiven Entzerrers von Fig. 1;

Fig. 10 eine Modifikation der dritten Ausführungsform der vorliegenden Erfindung und

Fig. 11 ein Aufbau eines herkömmlichen adaptiven Entzerrers.

Fig. 1 zeigt einen Aufbau eines adaptiven Entzerrers des ersten Anordnungsschrittes gemäß einer ersten Ausführungsform der vorliegenden Erfindung. Bezugnehmend auf Fig. 1 wird eine Anordnungsmodifikation ausgehend von dem adaptiven Entzerrer mit einem direkten Filter 1 einer Abzweigungs- bzw. Stufenlänge von 4, wie in Fig. 11 gezeigt ist, durchgeführt. Die Anordnung des adaptiven Entzerrers von Fig. 1 entspricht der LMS-Architektur, die aus dem direkten FIR-Filter von Fig. 11 modifiziert entsprechend der Vorgriffsumwandlung" gebildet ist. Bei der "Vorgriffsumwandlung" (bzw. "Look-ahead-Umwandlung") wird der Abzweigungskoeffizient des nächsten Zyklus nicht unter Verwendung des Koeffizienten des direkt vorhergehenden Zyklus sondern des um L-Zyklen vorhergehenden Koeffizienten dargestellt. Durch Ausführen der "Vorgriffsumwandlung" auf den Abzweigungs- bzw. Stufenkoeffizienten kann die Aktualisierungsgleichung der LMS-Architektur, die Beziehung ist durch die folgende Gleichung dargestellt, erhalten werden.

$$h(n+1) = h(n) + \mu \cdot e(n) \cdot X(n) = h(n-1) + \mu \cdot e(n-1) \cdot X(n-1) + \mu \cdot e(n) \cdot X(n) = h(n-2) + \mu \cdot e(n-2) \cdot X(n-2) + \mu \cdot e(n-1) \cdot X(n-1) + \mu \cdot e(n) \cdot X(n) \dots = h(n-L) + \mu \cdot \sum_{i=0}^{L-1} e(n-i) \cdot X(n-i)$$

Hier wird die Summe Σ von 0 bis L für i durchgeführt. L zeigt die Anzahl der Stufen der Vorgriffsumwandlung. Das Fehlersignal $e(n)$ wird durch die folgende Gleichung dargestellt.

$$e(n) = d(n) - h^T(n-L) \cdot X(n) = d(n) - y(n)$$

Wenn die Anzahl der Stufen L der Vorgriffsumwandlung 4 beträgt, wird der Abzweigungskoeffizient h_0 durch die folgende Gleichung mit $i = 0 \sim 4$ dargestellt.

$$h_0(n+1) = h_0(n-4) + \mu \cdot \sum_{i=0}^{L-1} e(n-i) \cdot x(n-i)$$

Das Fehlersignal $e(n)$ und das Eingangssignal $x(n)$ werden entsprechend für L-Zyklen gespeichert und ihre multiplizierten Werte werden addiert. Dann wird die Addition mit einem Abzweigungskoeffizientenwert h_0 eines Zyklus, der um L-Zyklen vorausgeht, derart durchgeführt, daß der Abzweigungskoeffizient des nächsten Zyklus erhalten wird. Die Anordnung von Fig. 1 verwirklicht die obige Gleichung mit dem direkten Format. Daher ist eine Vorgriffsumwandlungseinheit 4 neu in der Koeffizientenaktualisierungsschaltung 3 für diese Vorgriffsumwandlung vorgesehen.

Der Aufbau des direkten Filters der Filterverarbeitungseinheit 1 ist identisch zu dem, der in Fig. 11 gezeigt ist. Die Beziehung zwischen dem Ausgabesignal $y(n)$ und der Eingabe $x(n)$ ist identisch zu der, die in Fig. 11 gezeigt ist.

In der Koeffizientenaktualisierungsschaltung 3 ist eine Koeffizientenmodifizierungsstufe des gleichen Aufbaues entsprechend für jede Abzweigungen $h_0 \sim h_3$ angeordnet. Das in Fig. 11 gezeigte Verzögerungselement CSR0 wird gemeinsam dargestellt durch das Verzögerungselement SR0 und ein Eingangssignal von dem Verzögerungselement SR0 wird an die Koeffizientenaktualisierungsschaltung 3 angelegt.

Bezugnehmend auf Fig. 1 enthält die Koeffizientenaktualisierungsschaltung 3 Multiplizierer CM0 ~ CM3, die jeweils das Produkt $\mu \cdot e(n)$ zwischen dem Fehlersignal $e(n)$ von dem Multiplizierer Me und der Schrittgröße μ mit einem angelegten Eingangssignal multiplizieren, und Verzögerungselemente (Verzögerungsschaltungen) SCR1 ~ SCR3,

die entsprechend zu den entsprechenden Multiplizierern CM1 ~ CM3 vorgesehen sind, die aus Schieberegistern gebildet sind, die die angelegten Eingabesignale um einen Zyklus verzögern und die verzögerten Signale den entsprechenden Multiplizierern CM1 ~ CM3 bereitstellen. Dieser Aufbau ist identisch zu dem in Fig. 11 gezeigten Aufbau. Der Multiplizierer Me verwirklicht die Multiplikation durch den Bitschiebebetrieb.

Die Vorgriffsumwandlungseinheit 4 ist derart bereitgestellt, daß der Summierungsabschnitt der obigen Koeffizientenaktualisierungsgleichung verwirklicht wird. Die Stufe, die einem Schritt-koeffizienten entspricht, weist den gleichen Aufbau auf. Genauer enthält die Stufe (jede von $i = 0 \sim 3$), die einem Abzweigungskoeffizienten h_i entspricht, ein Verzögerungselement Di0, das das Ausgabesignal eines entsprechenden Multiplizierers CMi um einen Zyklus verzögert, einen Addierer Si0, der die Ausgabesignale des Verzögerungselementes Di0 und des entsprechenden Multiplizierers CMi addiert, ein Verzögerungselement Di1, das das Ausgabesignal des Addierers Si0 um einen Taktzyklus verzögert, einen Addierer Si1, der das Ausgabesignal des Multiplizierers CMi mit dem Ausgabesignal des Verzögerungselementes Di1 addiert, ein Verzögerungselement Di2, das das Ausgabesignal des Addierers Si1 um einen Taktzyklus verzögert, einen Addierer Si2, der das Ausgabesignal des Verzögerungselementes Di2 mit dem Ausgabesignal des Multiplizierers CMi addiert, ein Verzögerungselement Di3, das das Ausgabesignal des Addierers Si2 um einen Taktzyklus verzögert, und einen Addierer Si3, der das Ausgabesignal des Verzögerungselementes Di3 mit dem Ausgabesignal des Multiplizierers CMi addiert. Das Ausgabesignal $\mu \cdot e(n)$ des Multiplizierers Me wird an den Multiplizierer CMi angelegt. In der Stufe, die dem Abzweigungskoeffizienten h_k entspricht, wird das Signal, das durch die folgende Gleichung dargestellt ist, von dem Addierer Sk3 der letzten Stufe ausgegeben:

$$\mu \cdot \sum_{i=0}^4 e(n-i) \cdot x(n-k-i).$$

Die Summierung wird von 0 bis 4 ($= L$) für i durchgeführt.

Bei der obigen Gleichung wird die Signalausgabe von dem Verzögerungselement SR0 als Eingabesignal $x(n)$ verwendet.

Der Koeffizient des um L vorhergehenden Zyklus soll verwendet werden. Daher sind für die Abzweigungskoeffizienten $h_0 \sim h_3$ Addierer CA0 ~ CA3 und Verzögerungselemente DD0 ~ DD3, die die Ausgabesignale der Addierer CA0 ~ CA3 um fünf Taktzyklen verzögern, entsprechend den Addierern S03 ~ S33 der Vorgriffsumwandlungseinheit 4 vorgesehen. Die Ausgabesignale der Verzögerungselemente DD0 ~ DD3 werden zu den Addierern CA0 ~ CA3 rückgeführt. Die Abzweigungskoeffizienten $h_0 \sim h_3$ werden von den Verzögerungselementen DD0 ~ DD3 ausgegeben. Die Addierer CA0 ~ CA3 addieren die Ausgabesignale der entsprechenden Addierer S30 ~ S33 mit den Ausgabesignalen der entsprechenden Verzögerungselementen DD0 ~ DD3.

Der Koeffizient $h_k(n+1)$ wird gemäß dem Koeffizienten $h_k(n-L)$ und der Summe der Produkte der Fehlerkomponenten und der Eingabesignale von dem aktuellen Zyklus zu dem um L vorhergehenden Zyklus aktualisiert.

Es wird angemerkt, daß die Verzögerungselemente DD0 ~ DD3 die Signale um fünf Taktzyklen verzögern. Entsprechend dem Abzweigungskoeffizienten h_k , der durch eine Verzögerungselementstufe in Fig. 11 verzögert ist, ist die Verzögerungsgröße der Verzögerungselemente DD0 ~ DD3 um einen Taktzyklus bezüglich der Vorgriffsstufen erhöht.

Dies ist deshalb, da die Korrektur des Abzweigungskoeffizientens des um L vorhergehenden Zyklus nicht bei dem aktuellen Zyklus sondern bei dem nächsten Zyklus ausgeführt werden muß.

In dem Fall der direkten Architektur von Fig. 1 ist die Filterverarbeitungseinheit 1 ein direkter Filter und der kritische Weg davon hängt von der Abzweigungs- bzw. Stufenlänge ab. Auch wird der Aufbau der Koeffizientenaktualisierungsschaltung 3 redundant. Somit wird ein adaptiver FIR-Transponierungsfiler verwirklicht durch Bewegen der Verzögerungselemente während die Zeitbeziehung der Signale mittels des "Neutimings" beibehalten wird.

Fig. 2 zeigt einen Aufbau eines adaptiven Entzerrers, der diesem Neutiming-Vorgang ausgesetzt ist. Gemäß dem Aufbau von Fig. 2 wird ein direkter FIR-Filter in ein Transponierungsfiler in der Filterverarbeitungseinheit umgewandelt. Der Ausbreitungsweg der Eingabe- und Ausgabesignale ist umgestellt bzw. transponiert. Genauer wird in der Filterverarbeitungseinheit 1 das Eingabesignal von dem Verzögerungselement SR0 an die Multiplizierer M0 ~ M3 angelegt, die entsprechenden den entsprechenden Abzweigungskoeffizienten $h_0 \sim h_3$ vorgesehen sind. Die Addierer AD0 ~ AD2 sind entsprechend den Multiplizierern M0 ~ M2 vorgesehen. Verzögerungselemente TD0 ~ TD2 sind an den Eingängen der Addierer AD0 ~ AD2 vorgesehen. Das Verzögerungselement TD0 verzögert das Ausgabesignal des Addierers AD1 um einen Taktzyklus derart, daß das verzögerte Signal dem Addierer AD0 bereitgestellt wird. Das Verzögerungselement TD1 verzögert das Ausgabesignal des Addierers AD2 derart um einen Taktzyklus, daß das verzögerte Signal AD1 dem Addierer bereitgestellt wird. Das Verzögerungselement TD2 verzögert das Ausgabesignal des Multiplizierers M3 derart um einen Taktzyklus, daß das verzögerte Signal dem Addierer AD2 bereitgestellt wird.

Bei dem Aufbau des Transponierungsfilters der Filterverarbeitungseinheit 1 wird das Ausgabesignal $y(n)$ durch die folgende Gleichung dargestellt.

$$y(n) = \sum_{k=0}^3 x(n-k) \cdot h_k(n-k)$$

Die Summierung wird von 0 bis 3 für k durchgeführt.

Bei der Struktur dieses Transponierungsfilters werden die Abzweigungskoeffizienten $h_0 \sim h_3$ über vier Taktzyklen verteilt. Genauer gibt es Abzweigungskoeffizienten $h_0(n)$, $h_1(n-1)$, $h_2(n-2)$ und $h_3(n-3)$. Es ist notwendig, den Wert des Abzweigungskoeffizienten des aktuellen Zyklus n zu verwenden. Für den Zweck des Einstellens des Timings des Abzweigungskoeffizientens sind Verzögerungselemente CD0 ~ CD3, die das Fehlersignal $e(n)$ um vier Zyklen, drei Zyklen, zwei Zyklen bzw. einen Zyklus verzögern, entsprechend den entsprechenden Abzweigungskoeffizienten in der Koeffizientenaktualisierungsschaltung 3 vorgesehen. Da es notwendig ist, den Abzweigungskoeffizienten nach vier Zyklen zu erhalten, wird das Eingabesignal von dem Verzögerungselement SR0 ferner auch um vier Taktzyklen in dem Verzögerungselement SD verzögert.

In der Koeffizientenaktualisierungsschaltung 3 sind die Verzögerungselemente DD0 ~ DD3 jeweils in zwei Verzögerungselemente aufgeteilt. Genauer sind Verzögerungselemente RD00 ~ RD30, die die entsprechenden Ausgabesignale der Addierer CA0 ~ CA3 um einen Taktzyklus derart verzögern, daß Abzweigungskoeffizienten $h_0 \sim h_3$ erzeugt werden, und Verzögerungselemente RD01 ~ RD31 vorgesehen, die die Abzweigungskoeffizienten $h_0 \sim h_3$ entsprechend um vier Taktzyklen derart verzögern, daß die verzögerten Signale zu den entsprechenden Addierern CA0 ~ CA3 bereitgestellt werden. Bei dieser Abzweigungskoeffizientenaktualisierung wird die Verzögerung von fünf Takt-

zyklen durch die Verzögerungselemente RD00 ~ RD30 und entsprechende Verzögerungselemente RD01 ~ RD31 verwirklicht. Die Verzögerungselemente RD00 ~ RD30 sind vorgesehen, um die Abzweigungskoeffizienten h0 ~ h3 um einen Taktzyklus zum Ausgeben bei dem nächsten Taktzyklus zurückzuhalten.

Die Abzweigungskoeffizienten h0 ~ h3 sind zeitlich um einen Taktzyklus voneinander versetzt. Es ist daher notwendig, die Abzweigungskoeffizienten des um einen Zyklus nachfolgenden Taktzyklus, des um zwei Zyklen nachfolgenden Taktzyklus und des um drei Zyklen nachfolgenden Taktzyklus bezüglich dem Abzweigungskoeffizienten h0 als Abzweigungskoeffizienten h1 ~ h3 zu verwenden. Die Verzögerungselemente CD0 ~ CD3 sind für diesen Zweck vorgesehen. In der Koeffizientenaktualisierungsschaltung 3 wird ein Abzweigungskoeffizient erzeugt gemäß dem Eingangssignal und dem Fehlersignal, das dem Abzweigungskoeffizient h0 um vier Zyklen vorhergeht. Für den Abzweigungskoeffizienten h1 ist das Fehlersignal das Fehlersignal des um einen Zyklus folgenden Taktes bezüglich dem des Abzweigungskoeffizientens h0. Daher wird der Abzweigungskoeffizient gemäß dem Fehlersignal des um einen Zyklus folgenden Zyklus relativ zu dem Abzweigungskoeffizienten h0 für den Abzweigungskoeffizienten h1 korrigiert. Somit entspricht der Abzweigungskoeffizient h1 einem Korrekturwert, der um einen Taktzyklus bezüglich dem Abzweigungskoeffizienten h0 verzögert ist. Ähnlich werden die Abzweigungskoeffizienten h2 und h3 gemäß einem Fehlersignal des um zwei Zyklen folgenden Taktzyklus bzw. des um drei Zyklen folgenden Taktzyklus bezüglich dem Abzweigungskoeffizienten h1 aktualisiert. Daher entsprechen die Abzweigungskoeffizienten h2 und h3 den Abzweigungskoeffizienten von zwei Taktzyklen später und drei Taktzyklen später in Bezug zu dem Abzweigungskoeffizient h0. Somit stimmt das Timing überein bzw. ist das Timing passend gemacht und ein Ausgangssignal, das durch die folgende Gleichung dargestellt ist, wird als Ausgangssignal y(n) von der Filterverarbeitungseinheit 1 erzeugt.

$$y(n) = \sum_{k=0}^3 h_k(n) \cdot x(n-k)$$

Die Summierung wird von 0 bis 3 für k durchgeführt. Somit wird ein Ausgangssignal y(n) mit der Eingabe-/Ausgabe-Beziehung, die identisch zu der des direkten Typs ist, erzeugt. Bei dem in Fig. 2 erzeugten Aufbau ist der Aufbau der Vorgriffsumwandlungseinheit noch redundant. Der Abschnitt, der jedem Abzweigungskoeffizienten entspricht, ist aus dem Gradientenadditionsmodul (Kaskadenverbindung von Addierer und Verzögerungselement) gebildet. Die Übertragungsfunktion des Gradientenadditionsmoduls wird durch $1 + Z^{-1} + \dots + Z^{-L}$ (L = 4 in dem Aufbau von Fig. 2) dargestellt. Diese Übertragungsfunktion kann mit der Übertragungsfunktion der folgenden Gleichung ersetzt werden:

$$(1 - Z^{-L-1})/(1 - Z^{-1}).$$

Diese ist bereitgestellt durch das Produkt der Übertragungsfunktion des Filters aller Pole und der Übertragungsfunktion des Filters aller Nullstellen. Ein Verzögerungselement mit der Verzögerungszeit von L + 1 Zyklen und ein Verzögerungselement mit einer Verzögerungszeit von einem Zyklus werden zur Verwirklichung dieser Übertragungsfunktion verwendet. Der Filter aller Pole (rekursiver Filter der Ordnung 1) wird durch das Verzögerungselement eines Zyklus erzeugt.

Fig. 3 zeigt einen Aufbau eines adaptiven Entzerrers gemäß der ersten Ausführungsform der vorliegenden Erfin-

dung. In der in Fig. 3 gezeigten Koeffizientenaktualisierungsschaltung 3 ist das Gradientenadditionsmodul der Vorgriffsumwandlungseinheit 4 durch ein Verzögerungselement DZi, das das Ausgangssignal des Multiplizierers CMi (= 0 ~ 3) um fünf Taktzyklen verzögert, einen Addierer SCi und ein Verzögerungselement DYi, das das Ausgangssignal des Addierers SCi um einen Taktzyklus verzögert und so das verzögerte Signal dem Addierer SCi wieder bereitstellt, ersetzt. Der Addierer SCi subtrahiert die Ausgangssignale der Verzögerungselemente DZi und DYi von dem Ausgangssignal eines entsprechenden Multiplizierers CMi und stellt so das resultierende Signal dem Addierer Si3 bereit.

Der Filter mit der Übertragungsfunktion, die durch das Produkt der Übertragungsfunktion des Filters aller Pole, $1/(1 - Z^{-1})$, und der Übertragungsfunktion des Filters aller Nullstellen $(1 - Z^{-5})$, dargestellt ist, wird durch den Addierer SCi und die Verzögerungselemente DZi und DYi verwirklicht.

Bei der Filterverarbeitungseinheit 1 ist der Aufbau des Transponierungsfilters derart neu organisiert, daß die Richtungen des Flusses der Verzögerungssignale und des Flusses der Eingangssignale identisch sind. In diesem Fall sind die Addierer A1 ~ A3 entsprechend den Multiplizierern M1 ~ M3 angeordnet. Die Verzögerungselemente (Verzögerungselement von einer Taktzyklusverzögerung) SR1 ~ SR3 sind an den Eingängen der Addierer A1 ~ A3 angeordnet. Das Verzögerungselement SR1 verzögert das Ausgangssignal des Multiplizierers M0 um einen Taktzyklus. Die Verzögerungselemente SR2 und SR3 verzögern die Ausgangssignale der Addierer A1 und A2 um einen Taktzyklus und stellen die verzögerten Signale den Addierern A2 und A3 entsprechend bereit.

Bei der Filterverarbeitungseinheit 1 des Transponierungsfilteraufbaus sind die Verzögerungselemente SS1 ~ SS3 entsprechend den entsprechenden Multiplizierern SM1 ~ SM3 bereitgestellt anstatt den Verzögerungselementen CD0 ~ CD3, so daß die Zeitbeziehung der Abzweigungskoeffizienten h0 ~ h3 eingestellt wird, da der Signalfluß wieder geändert ist. Die Verzögerungselemente SS1 ~ SS3 verzögern jeweils das angelegte Signal um einen Taktzyklus.

Der Signalfluß wird in diesem Transponierungsfiltervorgang umgedreht. Das Ausgangssignal y(n) wird durch die folgende Gleichung dargestellt:

$$y(n) = \sum_{k=0}^3 h_k(n-3+k) \cdot x(n-3+k).$$

Die Summierung wird von 0 bis 3 für k durchgeführt. Die Abzweigungskoeffizienten h1, h2 und h3 müssen korrigiert werden unter Verwendung eines Abzweigungskoeffizienten des um 1 vorlaufenden Zyklus, des um zwei vorlaufenden Zyklus bzw. des um drei vorlaufenden Zyklus bezüglich dem Abzweigungskoeffizienten h0. Die Verzögerungselemente SS1 ~ SS3 sind für diesen Zweck vorgesehen. Durch Verzögern des Fehlersignales e(n) um einen Taktzyklus unter Verwendung des Verzögerungselementes SS0 wird eine Kompensierung der Verzögerung des Eingangssignales x(n) um einen Taktzyklus durch das Verzögerungselement SR0 durchgeführt. Ein Fehlersignal e(n), das dem Bestimmungssignal (Identifizierungssignal) zur Zeit der Eingabe des Eingangssignals x(n) entspricht, kann erzeugt werden.

Bei dem Aufbau von Fig. 3 sind Verzögerungselemente SR1 ~ SR3 in dem Ausbreitungsweg des Eingangssignals eingefügt. Diese Verzögerungselemente SR1 ~ SR3 sind aus Schieberegistern gebildet und arbeiten synchron mit einem Taktsignal. In der Koeffizientenaktualisierungsschaltung 3 sind Verzögerungselemente SS1 ~ SS3 in dem Weg vorgesehen, in dem das Fehlersignal von dem Multiplizierer Me übertragen wird. Das Verzögerungselement SS0 ist zwi-

schen dem Multiplizierer Me und der Fehlererfassungsschaltung 2 angeordnet. Der kritische Weg des adaptiven Entzerrers von Fig. 3 entspricht den Wegen von den Verzögerungselementen SS0 ~ SS3 zu den entsprechenden Addierern S03 ~ S33. Hier verwirklicht der Multiplizierer Me den Multiplikationsvorgang durch den Bitschiebevorgang und weist eine vernachlässigbare Verzögerung auf. Daher weist dieser kritische Weg eine Verzögerung von einer Multiplikation und drei Additionen auf. Es wird angenommen, daß die Addierer SC0 ~ SC3 Addierer mit drei Eingängen sind, die einem Aufbau von zwei Additionen entsprechen. Da dieser kritische Pfad nicht von der Abzweigungs- bzw. Stufenlänge des adaptiven Entzerrers abhängt, kann eine Hochgeschwindigkeitsverarbeitung ausgeführt werden. In der Filterverarbeitungseinheit 1 sind die Abzweigungen bzw. Stufen durch Verzögerungselemente derart verbunden, daß die Durchführung eines Pipelinevorganges ermöglicht wird. Eine Pipelinearchitektur unabhängig von der Abzweigungslänge kann realisiert werden, was in einer Hochgeschwindigkeitsverarbeitung resultiert.

Wie in Fig. 3 gezeigt ist, ist der Abschnitt, der jedem Abzweigungskoeffizienten entspricht, durch eine regelmäßige Anordnung verwirklicht (systolischer Aufbau des Übertragens eines Signales in eine Richtung). Der Abschnitt, der dem Abzweigungskoeffizienten entspricht, kann als ein Modul gebildet werden und so die Ausdehnung der Abzweigungslänge vereinfachen. Auch wird das Verbindungslayout mittels der regelmäßigen Anordnung vereinfacht. Ein adaptiver LSI-Entzerrer, der für eine hohe Integration und einen kurzen kritischen Weg geeignet ist, kann realisiert werden.

Ein adaptiver Entzerrer mit einer Abzweigungslänge von 4 ist in Fig. 1 bis 3 beschrieben. Für einen adaptiven Entzerrer mit einer Abzweigungslänge von L muß das in Fig. 3 gezeigte Modul L mal hintereinandergeschaltet werden. In diesem Fall kann das Verzögerungselement, das die Verzögerungszeit von vier Zyklen (durch Z^{-4} dargestellt) aufweist, eine Verzögerungseigenschaft aufweisen, die durch Z^{-L} dargestellt ist. Die Verzögerungselemente DZ0 ~ DZ3 mit der Verzögerungseigenschaft von Z^{-5} können die Verzögerungseigenschaft aufweisen, die durch $Z^{-(L+1)}$ dargestellt ist.

Entsprechend der ersten Ausführungsform der vorliegenden Erfindung werden aufgrund der Verwirklichung einer LMS-Architektur mit einer direkten Filterstruktur eine "Vorgriffsumwandlung" und ein "Neutiming" derart ausgeführt, daß ein Transponierungsfiler verwirklicht wird. Weiterhin werden die Verzögerungselemente derart neu organisiert, daß die Verzögerungselemente, die aus Schieberegistern gebildet sind, die synchron mit einem Taktsignal arbeiten, in dem Signalübertragungsweg angeordnet sein können. Somit kann ein adaptiver Entzerrer, der den kritischen Weg verkürzen kann und mit hoher Geschwindigkeit arbeitet, leicht realisiert werden.

Zweite Ausführungsform

Es wird der Fall angenommen, bei der die Anzahl der Stufen L der Vorgriffsumwandlung auf $1/2$ der Abzweigungslänge N eingestellt ist. In diesem Fall ist die Abzweigungskoeffizientenaktualisierungsgleichung durch die folgenden Gleichungen dargestellt:

$$h(n+1) = h(n-2) + \mu \cdot \Sigma e(n-i) \cdot X(n-i),$$

$$e(n) = d(n) - h^T(n-2) \cdot X(n)$$

In den obigen Gleichungen wird die Summierung Σ für 0, 1 und 2 für i durchgeführt. Der adaptive Transponierungsfir-Filter, der durch Ausführen der Vorgriffsumwandlung

und des Neutimings bei $1/2$ der Abzweigungslänge erhalten wird, wird als "Halb-TrLMS" definiert. In diesem Halb-TrLMS beeinflußt nur der Abzweigungskoeffizient des um L/2 vorlaufenden Zyklus die Aktualisierung des Abzweigungskoeffizienten. Die Verzögerung der Eingabe-/Ausgabeantwortkompensation (Latenz) verringert werden.

Fig. 4 zeigt einen Aufbau des Halb-TrLMS entsprechend der obigen Gleichung. Bezugnehmend auf Fig. 4 enthält der adaptive Entzerrer eine Filterverarbeitung 1, die aus dem direkten FIR-Filter gebildet ist, und eine Koeffizientenaktualisierungsschaltung 3, die die Abzweigungskoeffizienten $h_0 \sim h_3$ für die Filterverarbeitungseinheit 1 entsprechend einem Fehlersignal $e(n)$ aktualisiert. Der Aufbau der Filterverarbeitungseinheit 1 in der Vorgriffsumwandlung ist identisch zu dem der Filterverarbeitungseinheit 1 des der Anmelderin bekannten adaptiven Entzerrers, der in Fig. 11 gezeigt ist. In der Koeffizientenaktualisierungsschaltung 3 ist eine Vorgriffsumwandlungseinheit durch diese Vorgriffsumwandlung eingefügt.

Genauer enthält die Koeffizientenaktualisierungsschaltung 3 hintereinandergeschaltete Verzögerungselemente SS1 ~ SS3, die jeweils das Eingangssignal $x(n)$ um einen Taktzyklus verzögern, und Korrekturstufen des gleichen Aufbaus, die entsprechend zu den Abzweigungskoeffizienten $h_0 \sim h_3$ vorgesehen sind.

Die Korrekturstufe, die entsprechend dem Abzweigungskoeffizienten h_k vorgesehen ist, enthält einen Multiplizierer CMk, der ein Eingangssignal $x(n-k)$ mit einem Fehlerkorrektursignal $\mu \cdot e(n)$ von dem Multiplizierer Me multipliziert, ein Verzögerungselement Dk0, das das Ausgangssignal des Multiplizierers CMk um einen Taktzyklus verzögert, einen Addierer Sk0, der das Ausgangssignal des Verzögerungselementes Dk0 mit dem Ausgangssignal des Multiplizierers CMk addiert, ein Verzögerungselement Dk1, das das Ausgangssignal des Addierers Sk0 um einen Taktzyklus verzögert, einen Addierer Sk1, der das Ausgangssignal des Verzögerungselementes Dk1 mit dem Ausgangssignal des Multiplizierers CMk addiert, einen Addierer CAk, der das Ausgangssignal des Addierers Sk1 empfängt, und ein Verzögerungselement DEk, das das Ausgangssignal des Addierers CAk um drei Taktzyklen ($= L+1$) verzögert und so als Abzweigungskoeffizient h_k ausgibt.

Der Addierer CAk addiert den von dem Verzögerungselement DEk ausgehenden Abzweigungskoeffizienten h_k mit dem Ausgangssignal des Addierers Sk1 und stellt so das Additionsergebnis dem Verzögerungselement Ck zur Verfügung.

Wenn man sich auf einen Abzweigungskoeffizienten in der oben angegebenen Abzweigungskoeffizientenaktualisierungsgleichung konzentriert, wird die Abzweigungskoeffizientenaktualisierungsgleichung durch die folgende Gleichung dargestellt.

$$h_k(n+1) = h_k(n-2) + \mu \cdot e(n) \cdot x(n-k+1) + \mu \cdot e(n-1) \cdot x(n-k) + \mu \cdot e(n-2) \cdot x(n-k-1)$$

Der Koeffizient $h_k(n-2)$ wird durch das Verzögerungselement DEk erzeugt. Die Anzahl der Verzögerungszyklen des Verzögerungselementes DEk beträgt drei Zyklen, d. h. L + 1 Zyklen. Dies entspricht der Tatsache, daß der Unterschied der Anzahl der Taktzyklen zwischen dem Abzweigungskoeffizienten $h_k(n+1)$ und dem Abzweigungskoeffizienten $h_k(n-2)$, auf die sich die obige Gleichung bezieht, drei Zyklen beträgt.

Der Multiplizierer CMk, die Verzögerungselemente Dk0 und Dk1 und die Addierer Sk0 und Sk1, die in einer systolischen Art (verkürzten Art) angeordnet sind, verwirklichen den Fehlerkorrekturabschnitt der obigen Gleichung.

Fig. 5 zeigt einen Aufbau der Korrekturstufe, die entsprechend einem Abzweigungskoeffizienten h_k in der Koeffizientenaktualisierungsschaltung 3 von Fig. 4 vorgesehen ist. Der Koeffizientenaktualisierungsbetrieb wird nun beschrieben mit Bezug zu Fig. 5.

Wenn das Eingangssignal $x(n)$ angelegt wird, wird ein Signal $x(n-k)$ dem Multiplizierer CMk bereitgestellt. Daher wird ein Signal, das durch die folgende Gleichung dargestellt ist, von dem Multiplizierer CMk ausgegeben:

$$\mu \cdot c(n) \cdot x(n-k).$$

Das Verzögerungselement Dk0 verzögert das Ausgangssignal des Multiplizierers CMk um einen Zyklus. Daher wird das Ausgangssignal des Verzögerungselementes Dk0 durch die folgende Gleichung dargestellt:

$$\mu \cdot e(n-1) \cdot x(n-k-1).$$

Der Addierer Sk0 addiert das Ausgangssignal des Verzögerungselementes Dk0 mit dem Ausgangssignal des Multiplizierers CMk. Daher wird das Ausgangssignal des Addierers Sk0 durch die folgende Gleichung dargestellt:

$$\mu \cdot c(n) \cdot x(n-k) + \mu \cdot e(n-1) \cdot x(n-k-1).$$

Das Verzögerungselement De1 verzögert das Ausgangssignal des Addierers Sk0 um einen Taktzyklus. Daher wird das Ausgangssignal des Verzögerungselementes Dk1 durch die folgende Gleichung dargestellt:

$$\mu \cdot e(n-1) \cdot x(n-k-1) + \mu \cdot e(n-2) \cdot x(n-k-2).$$

Der Addierer Sk1 addiert das Ausgangssignal des Verzögerungselementes Dk1 mit dem Ausgangssignal des Multiplizierers CMk. Daher wird das Ausgangssignal des Addierers Sk1 durch die folgende Gleichung dargestellt:

$$\mu \cdot \sum c(n-i) \cdot x(n-k-i).$$

Die Summierung wird von 0 bis 2 für i durchgeführt.

Der Addierer CAk addiert den Abzweigungskoeffizienten $h_k(n)$ des momentanen Zyklus mit dem Ausgangssignal des Addierers Sk1. Daher wird das Ausgangssignal des Addierers CAk durch die folgende Gleichung dargestellt:

$$h_k(n) + \mu \cdot \sum e(n-i) \cdot x(n-k-i).$$

Das Verzögerungselement DEk verzögert das Ausgangssignal des Addierers CAk um drei Zyklen zur Ausgabe. Daher wird der Abzweigungskoeffizient $h_k(n)$, der in dem momentanen Zyklus ausgegeben wird, durch die folgende Gleichung dargestellt:

$$h_k(n) = h_k(n-3) + \mu \cdot \sum e(n-i-3) \cdot x(n-k-i-3).$$

Die Summierung wird von 0 bis 2 für i durchgeführt. Daher wird der Abzweigungskoeffizient $h_k(n+1)$ des nächsten Zyklus durch die folgende Gleichung dargestellt:

$$h_k(n+1) = h_k(n-2) + \mu \cdot \sum e(n-i-2) \cdot x(n-k-i-2).$$

Die Anzahl der Stufen für die Vorgriffsumwandlung beträgt 2. Daher erfüllt der zweite Ausdruck auf der rechten Seite der obigen Gleichung die Beziehung der folgenden Gleichung.

$$\mu \cdot \sum e(n-i-2) \cdot x(n-k-i-2) = \mu \cdot \sum e(n-i) \cdot x(n-k-i).$$

i)

Jede Korrekturstufe der Koeffizientenaktualisierungsschaltung 3 von Fig. 4 ist die direkte Formatversion der oben erwähnten Gleichung. Nach dieser Vorgriffsumwandlung wird ein Neutimingvorgang derart ausgeführt, daß das Timing neu eingestellt wird, während die Timingbeziehung der Signale erhalten wird. Der direkte FIR-Filter der Filterverarbeitungseinheit 1 wird in einen Transponierungsfilter umgewandelt.

Fig. 6 zeigt einen Aufbau eines adaptiven Entzerrers nach Abschluß eines Neutimingvorganges der zweiten Ausführungsform der vorliegenden Erfindung. In der Filterverarbeitungseinheit 1 von Fig. 6 sind Addierer A0 ~ A2 entsprechend entsprechenden Multiplizierern M0 ~ M2 vorgesehen. Das Ausgangssignal des Multiplizierers M3 wird an den Addierer A2 angelegt. In dem Weg, der das Eingangssignal $x(n)$ empfängt, sind Verzögerungselemente SR1 und SR3 für einen Verzögerungszyklus entsprechend den entsprechenden Multiplizierern M1 und M3 vorgesehen. Das Ausgangssignal des Verzögerungselementes SR1 wird an den Multiplizierer M2 angelegt. Das Ausgangssignal des Verzögerungselementes SR1 wird an das Verzögerungselement SR3 angelegt.

Ein Verzögerungselement SR2, das das Ausgangssignal des Addierers M2 um einen Taktzyklus verzögert und so das verzögerte Signal an den Addierer A1 anlegt, ist zwischen den Addierern A1 und A2 angeordnet. Der Addierer A1 addiert die Ausgangssignale des Multiplizierers M1 und des Verzögerungselementes SR2 und stellt das Additionsergebnis dem Addierer A0 bereit. Der Addierer A0 addiert die Ausgangssignale des Multiplizierers M0 und des Addierers A1 und erzeugt so ein Ausgangssignal $y(n)$.

Ein Verzögerungselement Da, das das Eingangssignal $x(n)$ um einen Taktzyklus verzögert, um das verzögerte Signal an das Verzögerungselement SS1 anzulegen, ist vorgesehen zum Einstellen des Timings nach der Aktualisierung der Abzweigungskoeffizienten. Auch ist ein Verzögerungselement Db vorgesehen, um das Ausgangssignal der Fehlererfassungsschaltung 2 um einen Taktzyklus zu verzögern und das verzögerte Signal an den Multiplizierer Me anzulegen. Die Verzögerungselemente DE0 ~ DE3 einer Verzögerung von drei Takten sind in Verzögerungselemente DE00 ~ DE30, die die Ausgangssignale der Addierer CA0 ~ CA3 um einen Taktzyklus verzögern, um die Abzweigungskoeffizienten $h_0 \sim h_3$ zu erzeugen, und Verzögerungselemente DE01 ~ DE31, die die Abzweigungskoeffizienten $h_0 \sim h_3$ um zwei Taktzyklen verzögern, um das verzögerte Signal an entsprechende Addierer CA0 ~ CA3 anzulegen, aufgeteilt. Bei der Filterverarbeitungseinheit 1, die aus dem Transponierungsfilter gebildet ist, werden die Multiplikationsergebnisse der Multiplizierer M2 und M3 um einen Taktzyklus durch das Verzögerungselement SR2, das zwischen den Addierern A1 und A2 vorgesehen ist, verzögert und übertragen. Das Ausgangssignal des Verzögerungselementes SR1 wird direkt an das Verzögerungselement SR3 angelegt. Daher wird das Ausgangssignal $y(n)$ von der Filterverarbeitungseinheit 1 durch die folgende Gleichung dargestellt:

$$y(n) = h_0(n) \cdot x(n) + h_1(n) \cdot x(n-1) + h_2(n-1) \cdot x(n-2) + h_3(n-1) \cdot x(n-3).$$

Die Koeffizientenwerte des vorhergehenden Zyklus werden für die Abzweigungskoeffizienten h_2 und h_3 verwendet. Die Verzögerungselemente Dc und Dd, die ein angelegtes Signal um einen Taktzyklus verzögern, sind an den Ausgängen der Multiplizierer CM0 bzw. CM1 für die Koeffizienten h_0 und h_1 in der Koeffizientenaktualisierungsschaltung 1

eingefügt, um eine Übereinstimmung unter den Timings der Koeffizienten bereitzustellen. Folglich ist die Timingbeziehung zwischen den Abzweigungskoeffizienten und dem Eingangssignal in jeder Bearbeitungseinheit der Filterverarbeitungseinheit 1 angepaßt bzw. stimmt überein. Genauer entsprechen die Abzweigungskoeffizienten h_2 und h_3 einer Aktualisierung gemäß dem Fehlersignal $e(n)$ des um 1 vorlaufenden Zyklus bezüglich den Abzweigungskoeffizienten h_0 und h_1 . Daher ist die Timingbeziehung des Abzweigungskoeffizientens und des Eingangssignales in diesen Multiplizierern angepaßt, da das Signal des um 1 vorlaufenden Zyklus entsprechend bereitgestellt wird.

Die Verzögerungselemente Da und Db sind vorgesehen, um das Timing des Fehlersignales $e(n)$ bezüglich dem Eingangssignal $x(n)$ einzustellen. Folglich kann das Timing für den Fall, bei dem das Referenzsignal $d(n)$ um einen Zyklus verzögert wird und zu einer Bestimmungszeit ausgegeben wird, eingestellt werden. Die Verzögerungselemente Da und Db verhindern, daß der Weg, wo sich die Signale $x(n)$ und $e(n)$ ausbreiten, kritisch wird.

Folgend auf den Abschluß dieses Re- bzw. Neutimingvorganges, wie in Fig. 6 gezeigt, wird die Übertragungsfunktion $1 + Z^{-1} + Z^{-2}$ in dem Gradientenadditionsmodul der Vorgriffsumwandlungseinheit 4 in gleicher Weise bzw. äquivalent in eine Übertragungsfunktion $(1 - Z^{-3})/(1 - Z^{-1})$ umgewandelt. Dies wird verwirklicht unter Verwendung eines Verzögerungselementes, das ein angelegtes Signal um einen Taktzyklus verzögert, und eines Verzögerungselementes, das ein angelegtes Signal um drei Taktzyklen verzögert.

Fig. 7 zeigt einen Aufbau eines adaptiven Entzerrers, der einer Übertragungsfunktionsumwandlung ausgesetzt wurde. In Fig. 7 ist der Aufbau der Koeffizientenkorrekturstufe, die jedem der Abzweigungskoeffizienten $h_0 \sim h_3$ entspricht, identisch. Die Gradientenadditionsmodule sind jeweils durch einen rekursiven Filter ersetzt. Genauer enthält die Korrekturstufe für den Abzweigungskoeffizienten h_k ein Verzögerungselement DDk0, das ein angelegtes Signal um drei Taktzyklen verzögert, einen Addierer PAk und ein Verzögerungselement PDK1, das das Ausgangssignal des Addierers PAk um einen Taktzyklus verzögert und so das verzögerte Signal dem Addierer PAk bereitstellt.

Der Addierer PA0 addiert das angelegte Signal mit den Ausgangssignalen der Verzögerungselemente PDK0 und PDK1 und stellt so das Additionsergebnis einem entsprechenden Addierer CAk bereit. Die Ausgangssignale der Verzögerungselemente Dc und Db werden an die Addierer PA0 bzw. PA1 entsprechend angelegt. Die Ausgangssignale des Multiplizierers CM2 und CM3 werden an die Addierer PA2 bzw. PA3 angelegt. Durch die Umwandlung der Übertragungsfunktion wird die Anzahl der Addierer verringert und die Schaltungskomplexität wird verringert und die Signalausbreitungsverzögerung wird verringert. Der adaptive Entzerrer von Fig. 7 weist einen rekursiven Filter auf, der den direkten Filteraufbau in der Vorgriffsumwandlungseinheit ersetzt, und der Betrieb ist identisch. Der kritische Weg des adaptiven Entzerrers von Fig. 7 ist der Weg von dem Ausgang des Verzögerungselementes DE10 zu dem Ausgang der Fehlerfassungsschaltung 2. Daher weist der kritische Weg eine Verzögerung von einer Multiplikation und drei Additionen auf und weist einen konstanten Verzögerungswert unabhängig von der Abzweigungslänge $N (= 4)$ auf. Somit kann ein adaptiver Entzerrer, der eine Hochgeschwindigkeitsverarbeitung durchführen kann, realisiert werden.

Die Schaltungsanordnung für jeden der Abzweigungskoeffizienten $h_0 \sim h_3$ weist im wesentlichen einen identischen Aufbau auf und kann mit einem systolischen Aufbau gebildet werden. In dem Aufbau von Fig. 7 sind die Abschnitte gleichen Aufbaues als Module gesetzt bzw. eingeteilt. Ge-

nauer ist der Abschnitt der Abzweigungskoeffizienten h_0 und h_1 als ein Modul eingeteilt und ist der Abschnitt der Abzweigungskoeffizienten h_2 und h_3 als ein anderes Modul eingeteilt. Hier sind die Verzögerungselemente SR2 und SS2 in dem Modul der linken Seite von Fig. 7 enthalten. Somit kann der adaptive Entzerrer leicht erweitert werden.

Wenn die Anzahl der Stufen L der Vorgriffsumwandlung gleich zu $1/2$ der Abzweigungslänge N ist, kann der Abschnitt der Hälfte der gesamten Abzweigungen, der Abschnitt $N/2$, als ein Modul gebildet werden.

Entsprechend der zweiten Ausführungsform ist die Anzahl der Stufen der Vorgriffsumwandlung auf $1/2$ aller Abzweigungen gesetzt und der Aufbau des direkten Filters ist in den Aufbau des Transponierungsfilters umgewandelt durch Durchführen einer Vorgriffsumwandlung und des Neutimingvorganges. Daher wird die Latenz der Eingabe-/Ausgabeantworteneinstellung derart verringert, daß ein akkurater Filtervorgang verwirklicht wird. Auch wird der kritische Weg derart verringert, daß ein adaptiver Entzerrer verwirklicht wird, der mit hoher Geschwindigkeit arbeitet, ohne die Schaltungsabmessung zu vergrößern.

Dritte Ausführungsform

Fig. 8 zeigt schematisch einen Aufbau einer Filterverarbeitungseinheit eines adaptiven Entzerrers entsprechend einer dritten Ausführungsform der vorliegenden Erfindung. Die Filterverarbeitungseinheit 1 von Fig. 8 enthält N Abzweigungen bzw. Stufen. Diese Filterverarbeitungseinheit weist einen Aufbau auf, der als Ergebnis einer Vorgriffsumwandlung mit der Anzahl von L Vorgriffsstufen zu $N/2$ und einem nachfolgenden Neutimingvorgang erhalten wird. Die Filterverarbeitungseinheit 1 enthält Multiplizierer $M_0 \sim M_{N-1}$, die entsprechend zu entsprechenden Abzweigungen $h_0 \sim h_{2L-1}$ vorgesehen sind, und Addierer $A_0 \sim A_{N-2}$, die entsprechend zu entsprechenden Multiplizierern $M_0 \sim M_{N-2}$ vorgesehen sind. Hier ist $N = 2 \cdot L$, wobei L die Anzahl der Stufen der Vorgriffsumwandlung darstellt. Die Verzögerungselemente SR0, SR2, ... SRN-2 sind bei jedem zweiten Abzweigungskoeffizienten angeordnet, und die Verzögerungselemente SR1 \sim SRN-3 sind zwischen den Addierern in dem Ausbreitungsweg des Eingangssignales $x(n)$ angeordnet. Diese Verzögerungselemente SR0 \sim SRN-2 sind abwechselnd angeordnet in dem Weg, von dem das Ausgangssignal $y(n)$ bereitgestellt wird, und in dem Weg, über den das Eingangssignal $x(n)$ übertragen wird.

Wenn zwei benachbarte Abzweigungen ein Satz sind, ist die Filterverarbeitungseinheit 1 in Moduleinheiten MD#0 \sim MD#L-1 aufgeteilt. Jedes der Module MD#0 \sim MD#L-2 enthält ein Verzögerungselement, um ein Eingangssignal zu verzögern, und ein Verzögerungselement, um ein Ausgangssignal zu verzögern. In jedem Modul ist ein Verzögerungselement SR2i zwischen Multiplizierern M_i und M_{i+1} angeordnet. Für die zwei Stufen der hintereinandergeschalteten Addierer A_i und A_{i+1} ist ein Verzögerungselement SRi+1 an dem Eingang des Addierers A_{i+1} angeordnet.

Bei dem in Fig. 8 gezeigten Aufbau weisen die Moduleinheiten MD#0 \sim MD#L-2 in der Filterverarbeitungseinheit 1 den gleichen Aufbau auf. Nur bei der Moduleinheit MD#L-1 in der letzten Stufe ist das Ausgangssignal des Multiplizierers M_{N-1} an den Addierer A_{N-2} angelegt.

Bei dieser Halb-TFLMS-Architektur wird das Ausgangssignal über ein Verzögerungselement übertragen und das Timing des Abzweigungskoeffizienten muß entsprechend eingestellt werden. Bei der Abzweigungskoeffizientenaktualisierungseinheit, die entsprechend jedem der Moduleinheiten MD#0 \sim MD#L-1 vorgesehen ist, sind Verzögerungselemente, die den Verzögerungselementen Dc und Dd von Fig.

7 entsprechen, derart angeordnet, daß das Timing der Abzweigungskoeffizienten eingestellt wird. Bezüglich der Moduleinheiten MD#0 ~ MD#L-1 weist das Verzögerungselement, das in der Abzweigungsstufe in der Moduleinheit MD#i zusätzlich eingefügt ist, eine Verzögerung von (L-1-i) Zyklen auf, wobei i von L-1 bis 0 läuft.

Mittels dem in Fig. 8 gezeigten Modulaufbau kann die Anzahl der Abzweigungen N (N ist eine gerade Zahl) leicht erhöht werden. Bei diesem Aufbau kann der Abschnitt von N/2 als ein Modul wie in der vorhergehenden Ausführungsform konstruiert sein.

Fig. 9 zeigt einen Aufbau einer Koeffizientenkorrekturstufe, die in der Koeffizientenaktualisierungsschaltung der in Fig. 8 gezeigten Moduleinheit MD#k/2 enthalten ist. Komponenten, die denen der Koeffizientenkorrekturstufe von Fig. 7 entsprechen, sind mit den gleichen Bezugszeichen bezeichnet und eine detaillierte Beschreibung davon wird nicht wiederholt. Bei der Moduleinheit MD#k/2 werden die Abzweigungskoeffizienten h_k und h_{k+1} (= h_j) ausgegeben.

Die Verzögerungszeit a von Verzögerungselementen DEk1 und DEj1 wird durch $a = L = N/2$ dargestellt. Der Verzögerungstaktzyklus b der Verzögerungselemente PDk0 und PDj0 ist als $a + 1 = L + 1 = (N/2) + 1$ vorgesehen.

Der Verzögerungszyklus c der Verzögerungselemente Dc und Dd, um das Timing der Abzweigungskoeffizienten h_k und h_j in der Moduleinheit MD#k/2 einzustellen, ist mit $(L-1) - (k/2)$ bereitgestellt.

Das Eingangssignal $x(n-k-1)$ wird an die Moduleinheit MD#k/2 angelegt. Der kritische Weg entspricht einer Multiplikation und drei Additionen.

Durch Verwenden der in Fig. 8 und 9 gezeigten Module wird ein Transponierungsfiler gebildet, wobei die Anzahl der Vorgriffsstufen L auf L/2 verringert ist, wenn die Abzweigungslänge N eine gerade Zahl ist, um den kritischen Weg zu verkürzen. Weiterhin kann aufgrund des modularen Aufbaus die Ausdehnung der Abzweigungslänge des adaptiven Entzerrers leicht verwirklicht werden.

Bei dem in Fig. 9 gezeigten Aufbau können alle Module einen gemeinsamen Aufbau aufweisen, wenn die Verzögerungselemente Dc und Dd aus variablen Verzögerungselementen gebildet sind.

Modifikation

Fig. 10 zeigt eine Modifikation der dritten Ausführungsform der vorliegenden Erfindung. Der Aufbau eines Moduls ist gezeigt, wenn die Anzahl L der Stufen der Vorgriffsumwandlung gleich zu der Abzweigungslänge L bzw. N ist. In Fig. 10 sind die Komponenten, die denen entsprechen, die in Fig. 3 gezeigt sind, mit den gleichen Bezugszeichen bezeichnet. Eine Filterverarbeitungseinheit und eine Filterkoeffizientenkorrekturstufe sind bezüglich dem Abzweigungskoeffizienten h_k angeordnet.

Entsprechend dem Modulaufbau von Fig. 10 beträgt die Anzahl der Verzögerungszyklen des Verzögerungselementes RDk1 L. Die Anzahl der Verzögerungszyklen des Verzögerungselementes DZk beträgt L+1. Das in Fig. 10 gezeigte Modul ist mit N Stufen verbunden. Ein Verzögerungselement SRk ist kurzgeschlossen in dem ersten Eingangsstufenmodul (Modul, das dem Abzweigungskoeffizienten h_0 entspricht). Folglich kann ein adaptiver Entzerrer der Abzweigungsanzahl N (= L) realisiert werden. Die Abzweigungslänge des adaptiven Entzerrers kann leicht erhöht werden.

Entsprechend der dritten Ausführungsform der vorliegenden Erfindung sind die Filterverarbeitungseinheit und die Korrekturstufe der Koeffizientenaktualisierungsschaltung

modular aufgebaut bei dem adaptiven Entzerrer. Daher kann die Abzweigungslängenerweiterung leicht durchgeführt werden.

Entsprechend der vorliegenden Erfindung wird eine Filterverarbeitungseinheit, die durch einen direkten FIR-Filter dargestellt ist, in einen Transponierungs-FIR-Filter umgewandelt durch Neuordnung der Verzögerungselemente über eine Vorgriffsumwandlung und einen Neutimingsvorgang. Somit wird ein adaptiver Entzerrer, der einen verkürzten kritischen Weg aufweisen kann und der eine Verarbeitung mit hoher Geschwindigkeit durchführen kann, verwirklicht.

Patentansprüche

1. Adaptiver Entzerrer mit einer Filterverarbeitungseinheit (1), die eine Mehrzahl von hintereinander geschalteten Verarbeitungsstufen aufweist, die entsprechend zu Abzweigungen vorgesehen sind, wobei jede der Verarbeitungsstufen

(i) einen ersten Multiplizierer (M0-M3) zum Multiplizieren eines Eingangssignales mit einem entsprechenden Abzweigungskoeffizienten (h_0 - h_3),

(ii) eine Verzögerungsstufe (SR1-SR3) zum Verzögern eines Ausgangssignales einer vorhergehenden Verarbeitungsstufe und

(iii) einen Addierer (A1-A3) zum Addieren eines Ausgangssignals der Verzögerungsstufe (SR1-SR3) und eines Ausgangssignals des ersten Multiplizierers (M0-M3) derart, daß ein Additionsergebnis einer nächsten Stufe bereitgestellt wird, aufweist,

wobei die Verarbeitungsstufe einer ersten Stufe einen Multiplizierer (M0) zum Multiplizieren des Eingangssignals mit einem entsprechenden Abzweigungskoeffizienten (h_0 - h_3) derart, daß ein resultierendes Signal einer nachfolgenden Verarbeitungsstufe einer nächsten Stufe bereitgestellt wird, aufweist, und einer Abzweigungskoeffizientensetzschialtung (3) zum Setzen der Abzweigungskoeffizienten (h_0 - h_3) entsprechend einem Fehler ($e(n)$) zwischen einem Ausgangssignal ($y(n)$) der Filterverarbeitungseinheit (1) und einem Referenzsignal ($d(n)$),

wobei die Abzweigungskoeffizientensetzschialtung (3) einer Koeffizientenkorrekturstufe (CM, DZ, SC, DY, S, RD) des gleichen Aufbaus aufweist, die entsprechend zu jedem der Abzweigungskoeffizienten (h_0 - h_3) bereitgestellt ist und eine Übertragungsfunktion aufweist, die durch ein Produkt der Übertragungsfunktion eines Filters aller Pole und einer Übertragungsfunktion eines Filters aller Nullstellen gegeben ist.

2. Adaptiver Entzerrer nach Anspruch 1, bei dem jede der Koeffizientenkorrekturstufen (CM, DZ, SC, DY, S, RD) der Abzweigungskoeffizientensetzschialtung (3) derart ausgebildet ist, daß ein Abzweigungskoeffizient (h_0 - h_3) eines um L vorlaufenden Zyklus mit einem Abzweigungskoeffizienten (h_0 - h_3) eines nächsten Zyklus verbunden wird, wobei L eine ganze Zahl ist, die nicht größer ist als die Anzahl der Abzweigungen.

3. Adaptiver Entzerrer nach Anspruch 1 oder 2, bei dem jede der Abzweigungskoeffizientenkorrekturstufen (CM, DZ, SC, DY, S, RD) eine Filterschialtung mit einer Übertragungsfunktion von $(1 - Z^{-L-1}) / (1 - Z^{-1})$ aufweist.

4. Adaptiver Entzerrer nach Anspruch 2 oder 3, bei dem das L gleich zu der Anzahl der Abzweigungen (h_0 h_3) ist.

5. Adaptiver Entzerrer nach einem der Ansprüche 1 bis 4, bei dem jede der Koeffizientenkorrekturstufen (CM, DZ, SC, DY, S, RD) aufweist einen zweiten Multiplizierer (CM), der ein Verzögerungssignal eines Signales, das den Fehler $(e(n))$ darstellt, und das Eingangssignal eines um L vorlaufenden Zyklus multipliziert, eine erste Verzögerungsschaltung (DZ), die ein Ausgangssignal des zweiten Multiplizierers (CM) um $(L + 1)$ Zyklen verzögert, eine zweite Verzögerungsschaltung (DY) zum Verzögern eines angelegten Signales um einen Zyklus, einen Subtrahierer (SC) zum Subtrahieren von Ausgangssignalen der ersten und zweiten Verzögerungsschaltung (DZ, DY) von einer Ausgabe des zweiten Multiplizierers (SM), wobei die zweite Verzögerungsschaltung (DY) ein Ausgangssignal des Subtrahierers (SC) verzögert und das Verzögerungssignal des Signales, das den Fehler $(e(n))$ darstellt, eine Verzögerungszeit gemäß einer Anordnung einer entsprechenden Abzweigung aufweist, einen zweiten Addierer (S), der ein Ausgangssignal des Subtrahierers (SC) empfängt, eine dritte Verzögerungsschaltung (RDi0) zum Verzögern eines Ausgangssignals des zweiten Addierers (S) um einen Zyklus derart, daß ein entsprechender Abzweigungskoeffizient $(h_0 - h_3)$ erzeugt wird, und eine vierte Verzögerungsschaltung (RDi1), die ein Ausgangssignal der dritten Verzögerungsschaltung (RDi0) um L Zyklen verzögert zum Anlegen an den zweiten Addierer (S), wobei der zweite Addierer (S) ein Ausgangssignal des Subtrahierers (SC) und ein Ausgangssignal der vierten Verzögerungsschaltung (RDi1) derart addiert, daß ein Additionsergebnis der dritten Verzögerungsschaltung (RDi0) bereitgestellt wird.

6. Adaptiver Entzerrer mit einer Filterverarbeitungseinheit (1), die eine Mehrzahl von Verarbeitungsstufen (A, M), die Abzweigungen $(h_0 - h_3)$ entsprechen, aufweist und die miteinander in Reihe geschaltet sind, und einen Vorwärtsweg und einen Rückwärtsweg aufweist, wobei jede der Mehrzahl von Verarbeitungsstufen (A, M)

- (i) einen Multiplizierer (M) zum Multiplizieren eines an den Vorwärtsweg angelegten Eingangssignales mit einem entsprechenden Abzweigungskoeffizienten $(h_0 - h_3)$,
- (ii) einen Addierer (A), der in dem Rückwärtsweg angeordnet ist, zum Addieren eines Signales auf dem Rückwärtsweg, das von einer nachfolgenden Verarbeitungsstufe übertragen ist, mit einem Ausgangssignal des Multiplizierers (M) zum Übertragen auf den Rückwärtsweg aufweist,

einer Verzögerungsstufe (SR0 - SR3), die eine Verzögerung von einem Zyklus bereitstellt und die abwechselnd bei den Verarbeitungsstufen in dem Vorwärtsweg und dem Rückwärtsweg eingefügt ist, und einer Abzweigungskoeffizientensetzschaltung (3) zum Setzen der Abzweigungskoeffizienten $(h_0 - h_3)$ entsprechend einem Fehler $(e(n))$ zwischen einem Ausgangssignal $(y(n))$ der Filterverarbeitungseinheit (1) und einem Referenzsignal $(d(n))$, wobei die Abzweigungskoeffizientensetzschaltung (3) eine Koeffizientenkorrekturstufe (SM, D, PA, PD, CA, DE) des gleichen Aufbaus aufweist, die entsprechend zu jedem Abzweigungskoeffizienten $(h_0 - h_3)$ vorgesehen ist und eine Übertragungsfunktion aufweist, die durch ein Produkt einer Übertragungsfunktion eines Filters aller Nullstel-

len und einer Übertragungsfunktion eines Filters aller Pole gegeben ist.

7. Adaptiver Entzerrer nach Anspruch 6, bei dem jede der Koeffizientenkorrekturstufen (CM, D, PA, PD, CA, DE) der Filterkoeffizientensetzschaltung (3) derart ausgebildet ist, daß der Abzweigungskoeffizient $(h(n + L))$ eines um L vorlaufenden Zyklus mit dem Abzweigungskoeffizienten $(h(n - 1))$ eines nächsten Zyklus verbunden wird, wobei $L \cdot \frac{1}{2}$ mal eine Abzweigungslänge beträgt.

8. Adaptiver Entzerrer nach Anspruch 6 oder 7, bei dem jede der Abzweigungskoeffizientenkorrekturstufen (CM, D, PA, PD, CA, DE) eine Filterschaltung mit einer Übertragungsfunktion von $(1 - Z^{-L}) / (1 - Z^{-1})$ aufweist.

9. Adaptiver Entzerrer nach einem der Ansprüche 6 bis 8, wobei jede der Abzweigungskoeffizientenkorrekturstufen (CM, D, PA, PD, CA, DE) aufweist eine erste Verzögerungsschaltung (SS1-SS3), die ein angelegtes Eingangssignal um einen Zyklus verzögert, einen zweiten Multiplizierer (CM) zum Multiplizieren eines Fehlersignales $(\mu \cdot e(n))$, das den Fehler eines um 1 vorlaufenden Zyklus anzeigt, mit einem Eingangssignal des um 1 vorlaufenden Zyklus, eine zweite Verzögerungsschaltung (Dc-Dd), die ein Ausgangssignal des zweiten Multiplizierers (CM) um einen Zyklus verzögert,

eine dritte Verzögerungsschaltung (PDi0) zum Verzögern eines Ausgangssignals der zweiten Verzögerungsschaltung (Dc-Dd) um $(N/2) + 1$ Zyklen, wobei N eine Abzweigungslänge anzeigt, eine vierte Verzögerungsschaltung (PDi1) zum Verzögern eines angelegten Signales um einen Zyklus, einen Subtrahierer (PA0-PA3) zum Subtrahieren von Ausgangssignalen der dritten und vierten Verzögerungsschaltung (PDi0, PDi1) von einem Ausgangssignal der zweiten Verzögerungsschaltung (Dc-Dd),

eine fünfte Verzögerungsschaltung (DEi0) zum Verzögern eines angelegten Signales um einen Zyklus derart, daß ein entsprechender Abzweigungskoeffizient $(h_0 - h_3)$ erzeugt wird, eine sechste Verzögerungsschaltung (DEi1), die ein Ausgangssignal der fünften Verzögerungsschaltung (DEi0) um $(N/2)$ Zyklen verzögert, und einen Addierer (CA0-CA3), der ein Ausgangssignal des Subtrahierers (PA0-PA3) mit einem Ausgangssignal der sechsten Verzögerungsschaltung (DEi1) addiert, zum Anlegen an die fünfte Verzögerungsschaltung (DEi0).

10. Entwurfsverfahren eines adaptiven Entzerrers (1, 3), der einen Abzweigungskoeffizienten derart korrigiert, daß ein Fehler zwischen einem Referenzsignal $(d(n))$ und einem Ausgangssignale davon minimiert wird, ein Eingangssignal entsprechend den korrigierten Abzweigungskoeffizienten $(h_0 - h_3)$ filtert und das Ausgangssignal erzeugt, wobei das Verfahren die Schritte aufweist:

Anordnen einer Filterverarbeitungsstufe (1) und einer Abzweigungskoeffizientensetzstufe (3), die einen direkten Filteraufbau verwenden, Durchführen einer Vorgriffsumwandlung des Verbindens eines Abzweigungskoeffizientens eines um L vorlaufenden Zyklus mit einem Abzweigungskoeffizienten eines nächsten Zyklus derart, daß die Filterverarbeitungsstufe (1) und die Abzweigungskoeffizientensetzstufe (3) neu angeordnet werden,

Durchführen eines Neutimingvorganges zum Reorganisieren des Timings, während die Zeitbeziehung der Signale beibehalten wird, derart, daß eine Anordnung

der Verzögerungselemente (D) zur Umwandlung in einen Transponierungsfilter reorganisiert werden, und Umwandeln der Abzweigungskoeffizientensetzstufe (3) in eine Filterstufe mit einer Übertragungsfunktion von $(1 - Z^{-L-1})/(1 - Z^{-1})$ durch eine äquivalente Umwandlung einer Übertragungsfunktion des Transponierungsfilters. 5

11. Verfahren nach Anspruch 10, weiter mit dem Schritt des Setzens des L auf einen Wert gleich einer Abzweigungslänge des adaptiven Entzerrers. 10

12. Verfahren nach Anspruch 10, weiter mit dem Schritt des Setzens des L auf einen Wert gleich zu $1/2$ mal einer Abzweigungslänge des adaptiven Entzerrers.

13. Verfahren nach einem der Ansprüche 10 bis 12, bei dem der Schritt des Umwandeln in eine Filterstufe den Schritt des Bildens einer Stufe, die jeweils einem Abzweigungskoeffizienten entspricht, in einem gleichen Aufbau zum Berechnen eines entsprechenden Abzweigungskoeffizientens. 15

14. Verfahren nach Anspruch 12, weiter mit dem Schritt des Bildens von Modulen eines Aufbaus eines Abschnittes von Abzweigungen, die direkt aneinanderangrenzen in dem adaptiven Entzerrer.

15. Verfahren nach Anspruch 11, weiter mit dem Schritt des Bildens von Modulen eines Abschnittes, der jedem Abzweigungskoeffizienten (h_0 h_3) entspricht. 25

16. Verfahren entsprechend nach Anspruch 10, weiter mit dem Schritt des Bildens von Modulen eines Abschnittes, der einer Hälfte einer Gesamtabzweigungslänge (h_0-h_1 , h_2-h_3) des adaptiven Entzerrers entspricht. 30

Hierzu 11 Seite(n) Zeichnungen

35

40

45

50

55

60

65

- Leerseite -

FIG. 1

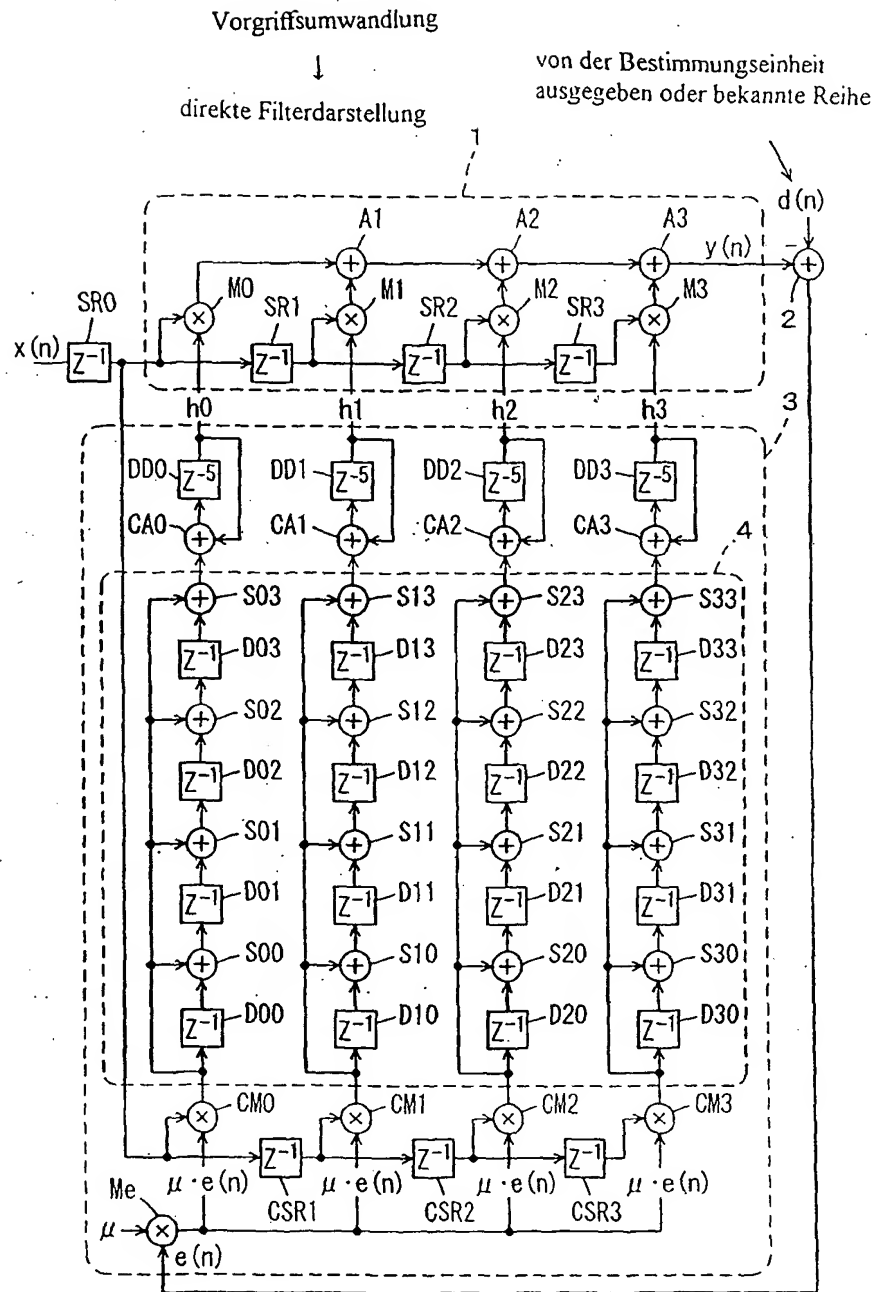


FIG. 2

Vorgriffsumwandlung + Neutiming

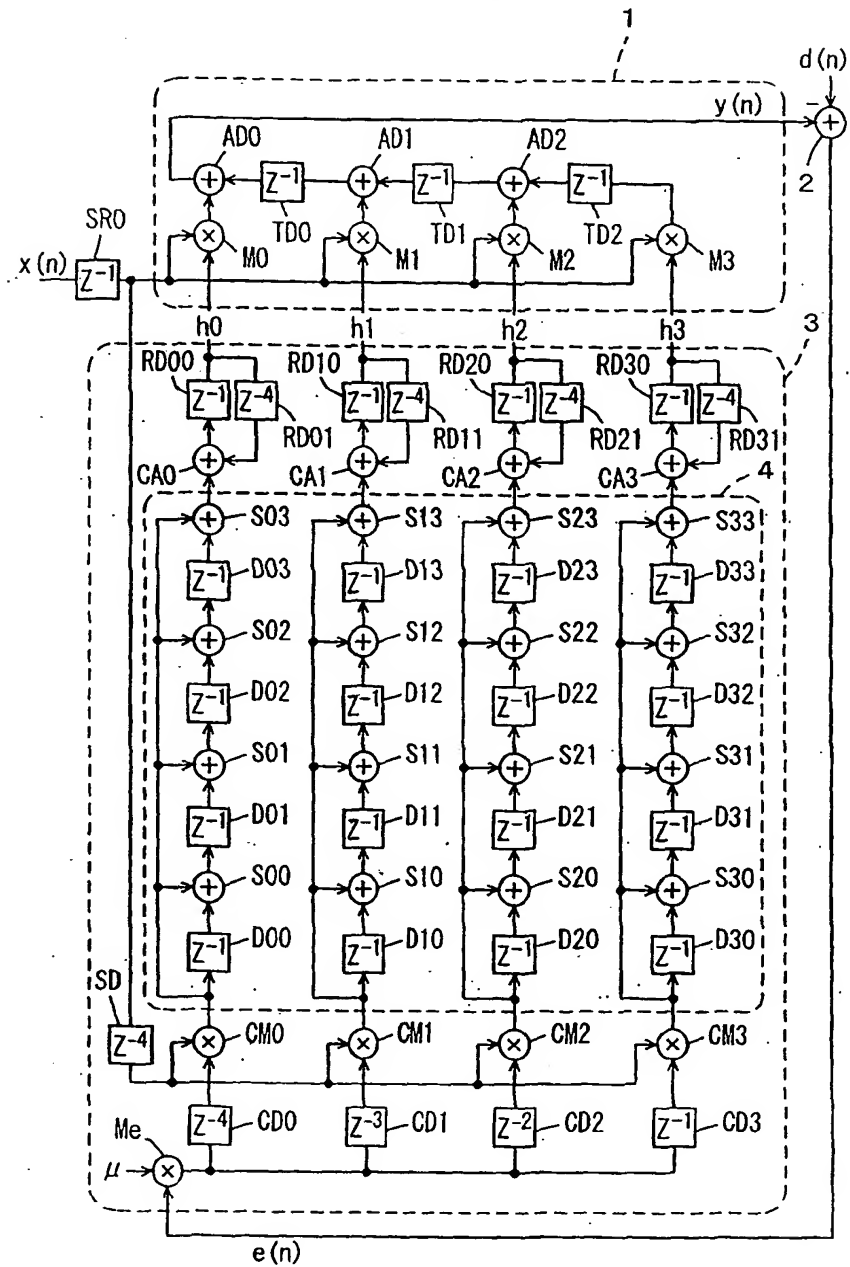


FIG. 3

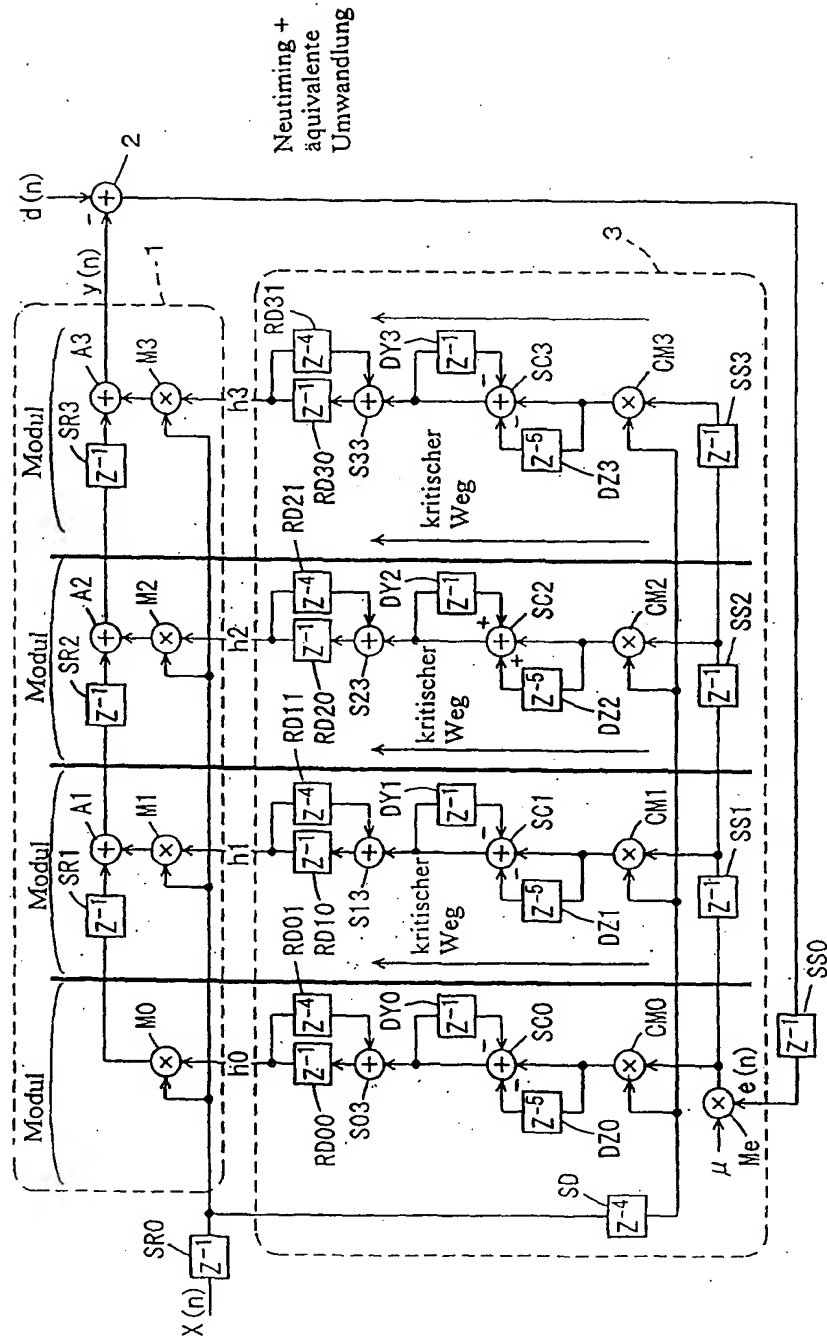
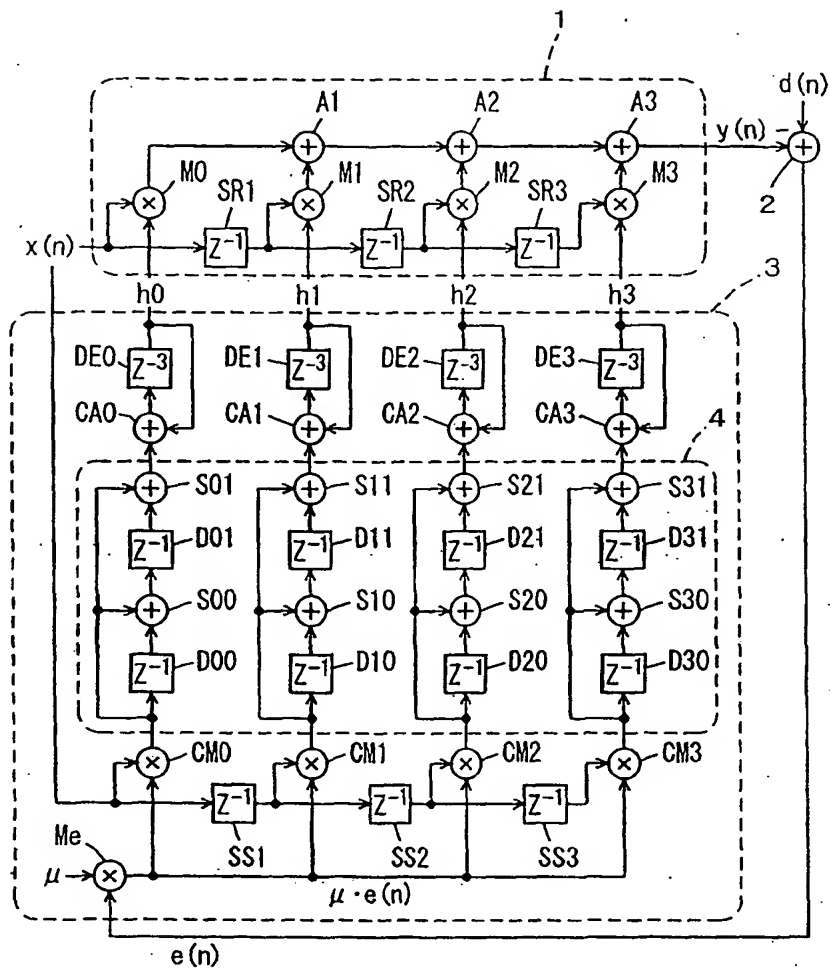
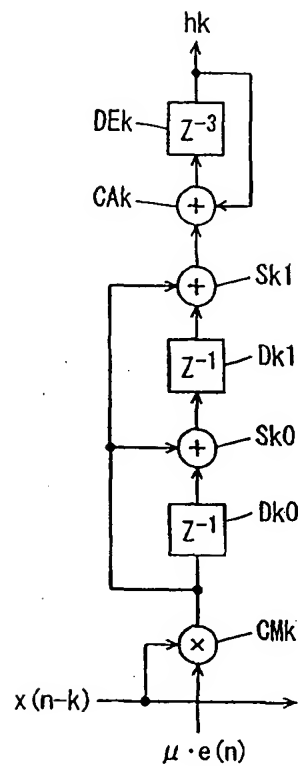


FIG. 4



Direktfilterbeschreibung + Vögriffsumwandlung

FIG. 5



$$h_k(n) = h_k(n-3) + \mu \cdot \sum e(n-i-3) \cdot x(n-k-i-3)$$

$$h_k(n) + \mu \cdot \sum_{i=0}^2 e(n-i) \cdot x(n-k-i)$$

$$\mu \cdot \sum_{i=0}^2 e(n-i) \cdot x(n-k-i)$$

$$\mu \cdot e(n-1) \cdot x(n-k-1) + \mu \cdot e(n-2) \cdot x(n-k-2)$$

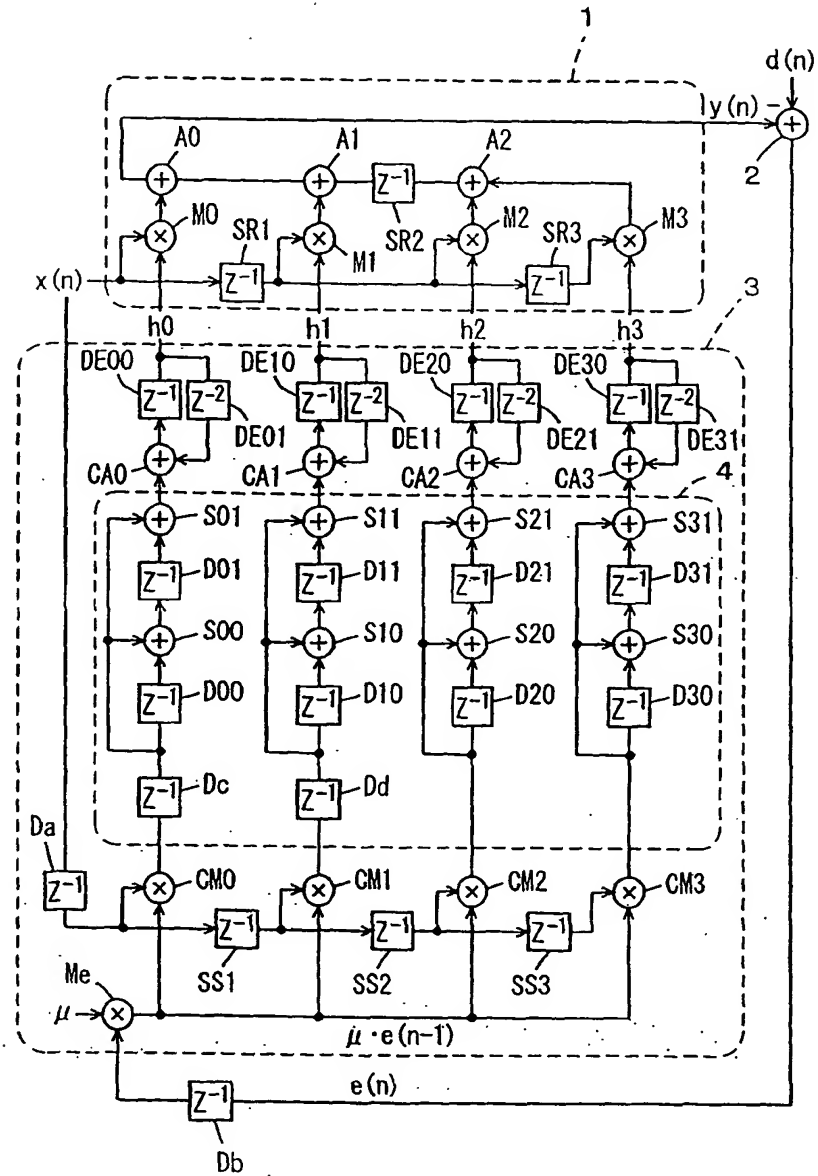
$$\mu \cdot e(n) \cdot x(n-k) + \mu \cdot e(n-1) \cdot x(n-k-1)$$

$$\mu \cdot e(n-1) \cdot x(n-k-1)$$

$$\mu \cdot e(n) \cdot x(n-k)$$

$$k \in \{0, 1, 2, 3\}$$

FIG. 6



Vorgriffsumwandlung + Neutiming

FIG. 7

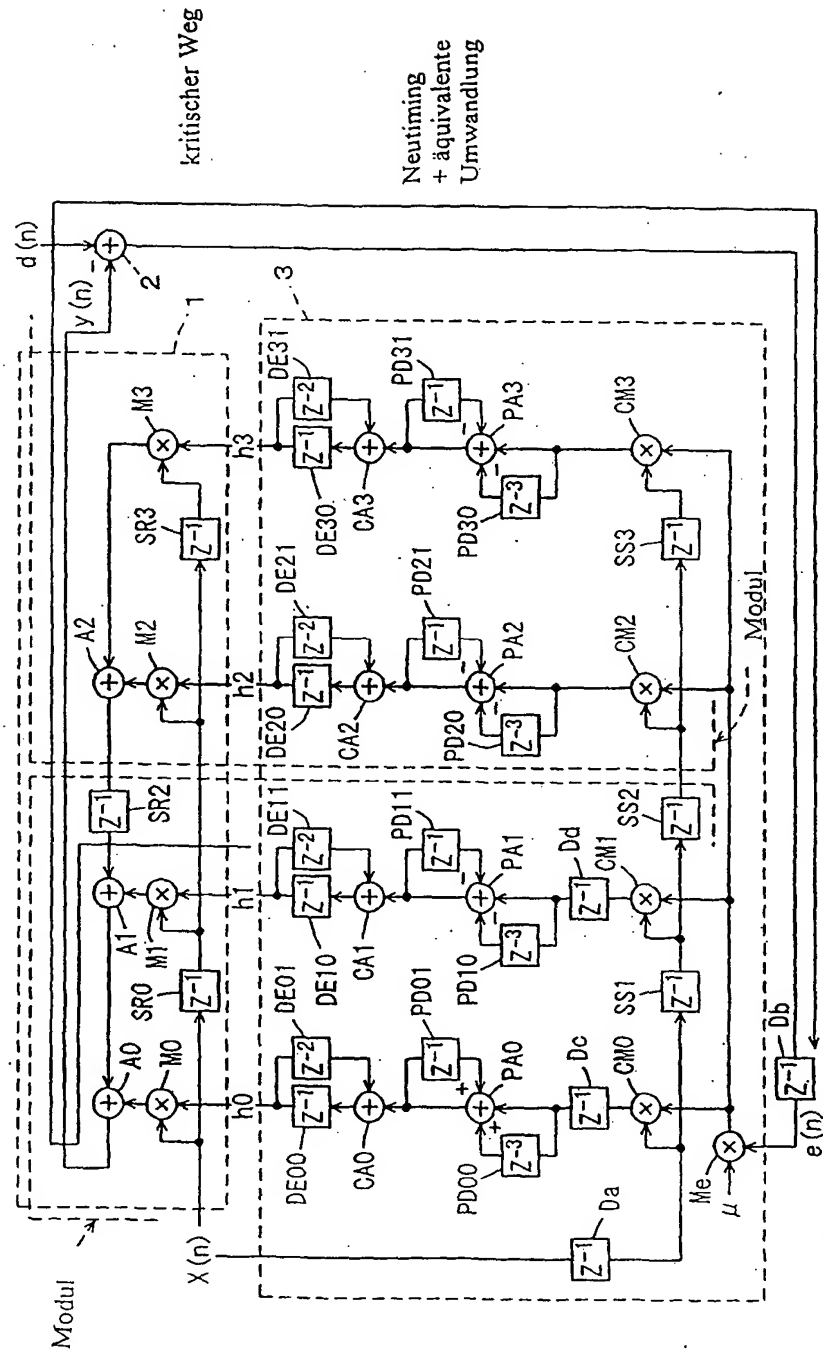


FIG. 8

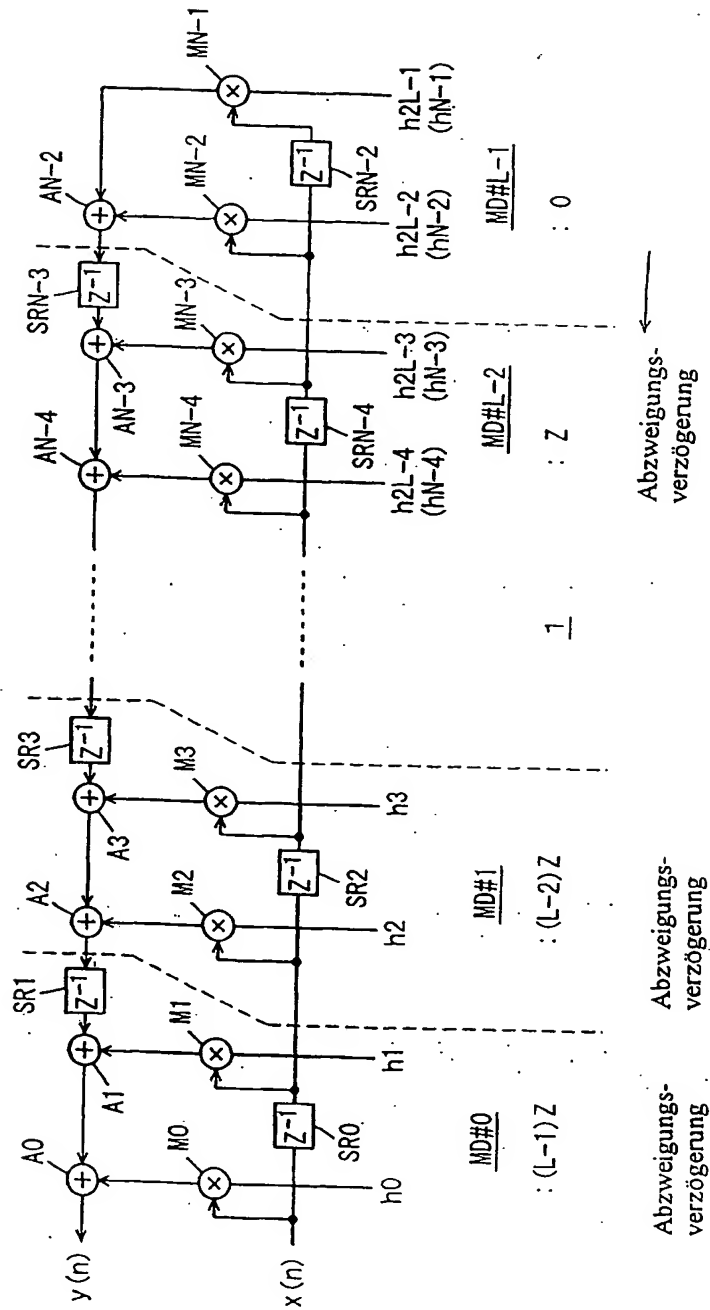
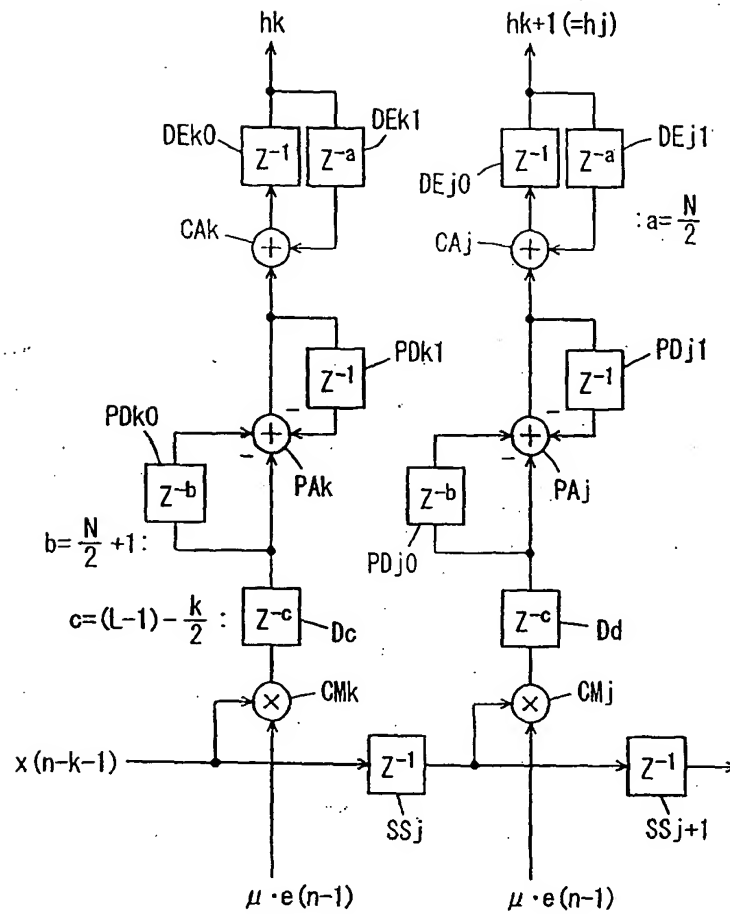
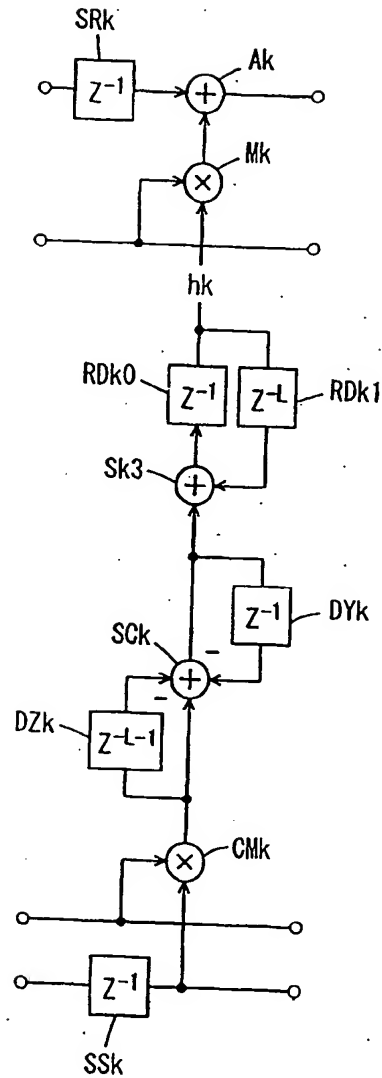


FIG. 9



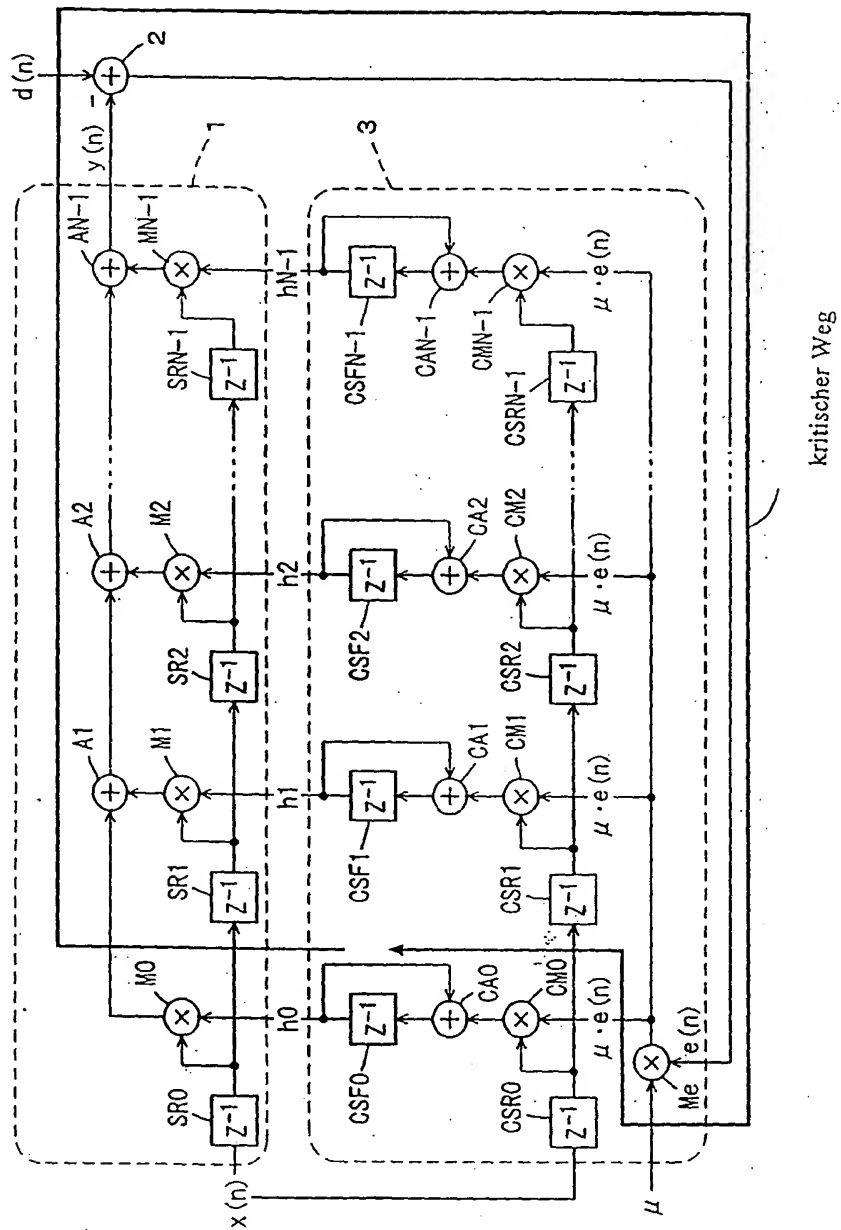
MD#k/2

FIG. 10



: $L = \text{Modul von } N$

FIG. 11



Adaptive distortion correction device has filter processing unit with series connected processing stages and suitable branching with coefficient set according to filter processing unit output

Patent Number: DE10001862
Publication date: 2000-11-30
Inventor(s): MIZUTANI HIROYUKI (JP); MURAKAMI SHUJI (JP); OCHI HIROSHI (JP);
MACHIDA HIROHISA (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)
Requested Patent: DE10001862
Application Number: DE20001001862 20000118
Priority Number (s): JP19990128597 19990510
IPC Classification: H03H21/00; H03H17/06; H04N7/64; H04B1/62; H04B7/005
EC Classification: H04L25/03B1A, H03H21/00B
Equivalents: JP2000324024

Abstract

The device has a filter processing unit with several processing stages in series with suitable branching. The processing section has a first stage with a multiplier for multiplying the input signal with a corresponding branching coefficient, so that a resulting signal is produced in a subsequent processing stage. The branching coefficient is set according to an error between the output of the processing unit and a reference signal.

Data supplied from the esp@cenet database - I2

Adaptive distortion correction device has filter processing unit with series connected processing stages and suitable branching with coefficient set according to filter processing unit output

Patent Number: DE10001862
Publication date: 2000-11-30
Inventor(s): MIZUTANI HIROYUKI (JP); MURAKAMI SHUJI (JP); OCHI HIROSHI (JP);
MACHIDA HIROHISA (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)
Requested Patent: DE10001862
Application Number: DE20001001862 20000118
Priority Number (s): JP19990128597 19990510
IPC Classification: H03H21/00; H03H17/06; H04N7/64; H04B1/62; H04B7/005
EC Classification: H04L25/03B1A, H03H21/00B
Equivalents: JP2000324024

Abstract

The device has a filter processing unit with several processing stages in series with suitable branching. The processing section has a first stage with a multiplier for multiplying the input signal with a corresponding branching coefficient, so that a resulting signal is produced in a subsequent processing stage. The branching coefficient is set according to an error between the output of the processing unit and a reference signal.

Data supplied from the esp@cenet database - I2